

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 2 日
Date of Application:

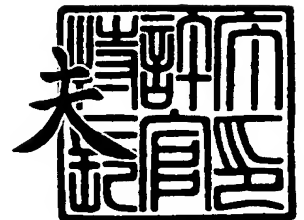
出 願 番 号 特 願 2 0 0 3 - 0 1 3 6 0 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 3 6 0 2]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 9 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 7 4 9 9 1

【書類名】 特許願

【整理番号】 J0093588

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146
H04N 5/335

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 那須 弘明

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及びその処理方法

【特許請求の範囲】

【請求項 1】 フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、

前記固体撮像素子の出力を信号処理し画像信号として出力する信号処理部と、
前記固体撮像素子に設けられ、その動作状態に応じて、前記固体撮像素子の出力が有効か否かを示す有効信号を前記信号処理部へ出力する手段と、
を具備したことを特徴とする画像処理装置。

【請求項 2】 前記固体撮像素子が、閾値電圧変調方式の MOS 型固体撮像素子であることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、

前記固体撮像素子の出力を信号処理し画像信号として出力する信号処理部と、
前記固体撮像素子に設けられ、その動作状態に応じて、前記信号処理部に対して信号処理動作を行わせるか否かを制御する有効信号を出力する手段と、
を具備したことを特徴とする画像処理装置。

【請求項 4】 前記固体撮像素子が、閾値電圧変調方式の MOS 型固体撮像素子であることを特徴とする請求項 3 に記載の画像処理装置。

【請求項 5】 前記有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間の少なくとも1つの期間がアクティブのときは、有効信号を非アクティブとすることを特徴とする請求項 1～4 のいずれか 1 つに記載の画像処理装置。

【請求項 6】 前記有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の少なくとも1つの期間がアクティブのときは、有効信号を非アクティブとすることを特徴とする請求項 1～4 のいずれか 1 つに記載の画像処理装置。

【請求項 7】 前記有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の

いずれの期間も非アクティブでかつラインメモリ読み出し期間がアクティブのときは、有効信号をアクティブとすることを特徴とする請求項 1～4 のいずれか 1 つに記載の画像処理装置。

【請求項 8】 前記 H ブランキング期間は、前記固体撮像素子に電荷を蓄積する蓄積状態が 1 フレーム以上続く場合には、その蓄積状態内の H ブランキング期間における H ブランキング動作を非アクティブとすることを特徴とする請求項 5～7 のいずれか 1 つに記載の画像処理装置。

【請求項 9】 前記有効信号を出力する手段は、前記固体撮像素子が常に正常な画像データを出力している条件設定状態のときに、設定条件と異なる画像データとなった場合に有効信号を非アクティブとし、設定条件と同じ画像データの場合に有効信号をアクティブとすることを特徴とする請求項 1～4 のいずれか 1 つに記載の画像処理装置。

【請求項 10】 前記の設定条件と異なる画像データとは、フレームレート、シャッタースピード、スキャンの向きなどの状態設定を変更した場合の画像データであることを特徴とする請求項 9 記載の画像処理装置。

【請求項 11】 前記有効信号を出力する手段は、前記固体撮像素子を低フレームレートで動作させる場合、フレームレートの低下に応じて、有効信号をフレーム単位で間欠的に非アクティブとする割合を増加させることを特徴とする請求項 1～10 のいずれか 1 つに記載の画像処理装置。

【請求項 12】 フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、前記固体撮像素子の出力を信号処理する信号処理部を含む画像処理装置の処理方法であって、

前記固体撮像素子は、その動作状態に応じて、前記固体撮像素子の出力が有効か否かを示す有効信号を前記信号処理部へ出力することを特徴とする画像処理装置の処理方法。

【請求項 13】 前記固体撮像素子が、閾値電圧変調方式の MOS 型固体撮像素子であることを特徴とする請求項 12 に記載の画像処理装置の処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置及びその処理方法に関する。特に、単位画素がフォトダイオードと光信号検出用のトランジスタとを備え、該単位画素が複数配列されたマトリックス型の固体撮像素子を含む画像処理装置及びその処理方法に関する。

【0002】**【従来の技術】**

半導体イメージセンサは、種々の画像入力装置に利用されている。最近、その中で、閾値電圧変調方式のMOS型固体撮像素子が、CCD（電荷結合素子）の高性能画質、及びCMOSの低消費電力を兼ね備え、画質の劣化を抑えたほか、高密度化および低コスト化を実現するものとして注目されている。

【0003】

閾値電圧変調方式のMOS型固体撮像素子の技術は、例えば、特開平11-195778号公報に開示されている。閾値電圧変調方式のMOS型固体撮像素子では、初期化、蓄積及び読出の3つの状態を繰り返すことによって、各画素のキャリアポケットに蓄積された光発生電荷に基づく画像信号が取り出される。初期化状態の期間は、残留電荷をキャリアポケット内から排出する期間である。蓄積状態の期間は、センサセルに電荷を蓄積する期間である。読出状態の期間は、蓄積された電荷量を電圧変調して読み出す期間である。

【0004】**【特許文献1】**

特開平11-195778号公報

【0005】**【発明が解決しようとする課題】**

しかし、これまで開示された技術によれば、フレームレートが固定状態で、シャッタースピードのみ可変できる構成となっていた。シャッタースピード（ここでは露光期間と同義）の設定範囲も1H（水平周期）～1フレームまでの構成となっていた。

【0006】

このように、シャッタスピードの範囲が1フレームまでに限定されていたので、暗い環境での撮影では、蓄積時間を充分にとることができず、アンプの信号ゲインを上げることで明るくしていたが、S/N比が悪く画質が低下するという問題を有していた。

【0007】

一方、フレームレートを変更する場合には、入力するシステムクロック周波数を変更する構成となっている。フレームレートを下げて動作させる場合、Hブランキング期間が長くなり、フレームレートを上げると、Hブランキング期間が短くなる。また、シャッタスピードが長い場合は、フレームレートが下降し、シャッタスピードが短い場合（1フレームレート以下）は、フレームレートが例えば15フレーム/秒又は30フレーム/秒（以下、fpsという）となる構成となっていた。

【0008】

このように、フレームレートを下げて動作させる場合、Hブランキング期間が長くなり、蓄積状態でのバイアス条件が解除されている期間が長くなるため、暗電流によるノイズの増加等の不具合を生じていた。また、高いフレームレートでの動作を行う場合は、シャッタスピードが短くなるので、ノイズ増加の防止のため明るい環境での撮影に限られるという問題があった。

【0009】

そこで、本発明は、上記の問題に鑑み、暗い環境及び明るい環境での撮影においても、S/N比が良く、画質を改善することができる画像処理装置及びその処理方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の画像処理装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、前記固体撮像素子の出力を信号処理し画像信号として出力する信号処理部と、前記固体撮像素子に設けられ、その動作状態に応じて、前記固体撮像素子の出力が有効か否かを示す有効信号を前記信号処理部へ出力する手段と、を具備したものである。

【0011】

このような構成によれば、固体撮像素子から有効な画素データを送出するとき、有効信号（VALID）をアクティブとして信号処理部に有効であることを知らせ、シャッタ開に対応する露光状態（蓄積状態）では有効信号（VALID）を非アクティブとして信号処理部に現在の画素データが無効であることを知らせるようにしたので、暗い環境下でシャッタスピードの設定範囲を1フレーム以上に長く設定しても、露光状態（蓄積状態）では信号処理部で無用な信号処理を行わなくても済む。

【0012】

本発明の画像処理装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、前記固体撮像素子の出力を信号処理し画像信号として出力する信号処理部と、前記固体撮像素子に設けられ、その動作状態に応じて、前記信号処理部に対して信号処理動作を行わせるか否かを制御する有効信号を出力する手段と、を具備したものである。

【0013】

このような構成によれば、固体撮像素子から有効な画素データを送出するとき、有効信号（VALID）をアクティブとして信号処理部に信号処理をさせ、シャッタ開に対応する露光状態（蓄積状態）では有効信号（VALID）を非アクティブとして信号処理部の信号処理を停止させるようにしたので、暗い環境下でシャッタスピードの設定範囲を1フレーム以上に長く設定しても、確実に信号処理できると共に無駄な電力消費を抑えることができる。

【0014】

本発明の画像処理装置において、前記固体撮像素子が、閾値電圧変調方式のMOS型固体撮像素子であることが好ましい。

【0015】

このような構成によれば、閾値電圧変調方式のMOS型固体撮像素子を使用することで、良好な画質を実現可能となる。

【0016】

また、本発明の画像処理装置において、前記有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間の少なくとも1つの期間がアクティブのときは、有効信号を非アクティブとすることが好ましい。

【0017】

この構成では、有効信号の第1の生成条件を示すものであり、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間の全ての期間が非アクティブのとき、すなわち、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間のうちのどの期間にも該当しない期間のときのみ、固体撮像素子から有効な画素データであることを示す有効信号を出力し、信号処理部に処理動作を行わせることができる。

【0018】

また、本発明の画像処理装置において、前記有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の少なくとも1つの期間がアクティブのときは、有効信号を非アクティブとすることが好ましい。

【0019】

この構成では、有効信号の第2の生成条件を示すものであり、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の全ての期間が非アクティブのとき、すなわち、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間のうちのどの期間にも該当しない期間のときのみ、固体撮像素子から有効な画素データであることを示す有効信号を出力し、信号処理部に処理動作を行わせることができる。

【0020】

さらに、本発明の画像処理装置において、前記有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間のいずれの期間も非アクティブでかつラインメモリ読み出し期間がアクティブのときは、有効信号をアクティブとすることが好ましい。

。

【0021】

この構成では、有効信号の第3の生成条件を示すものであり、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の全ての期間が非アクティブでかつラインメモリ読み出し期間がアクティブのとき、すなわち、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間のうちのどの期間にも該当しない期間でかつラインメモリ読み出し期間に該当する期間のときのみ、固体撮像素子から有効な画素データであることを示す有効信号を出力し、信号処理部に処理動作を行わせることができる。

【0022】

さらに、本発明の画像処理装置において、前記Hブランキング期間は、前記固体撮像素子に電荷を蓄積する蓄積状態が1フレーム以上続く場合には、その蓄積状態内のHブランキング期間におけるHブランキング動作を非アクティブとすることが好ましい。

【0023】

このような構成によれば、蓄積状態が続いている期間内にHブランキング動作期間が入らず、蓄積状態のバイアスを継続的に与える、すなわち、ノイズの発生しにくいバイアス状態に設定しておくことができる。

【0024】

また、本発明の画像処理装置において、前記有効信号を出力する手段は、前記固体撮像素子が常に正常な画像データを出力している条件設定状態のときに、設定条件と異なる画像データとなった場合に有効信号を非アクティブとし、設定条件と同じ画像データの場合に有効信号をアクティブとすることが好ましい。

【0025】

このような構成によれば、設定条件と異なる画像データとなった場合には、不安定な画像状態に至った場合であるから、画像の明るさ測定などに用いることはできないので、固体撮像素子からの有効信号を非アクティブとして無効な画像データであることを信号処理部に知らせることができる。

【0026】

さらに、本発明の画像処理装置において、前記の設定条件と異なる画像データとは、フレームレート、シャッタースピード、スキヤンの向きなどの状態設定を変更した場合の画像データであることが好ましい。

【0027】

このような構成によれば、フレームレート、シャッタースピード、スキヤンの向きなどの状態設定を変更した場合の画像データは、明らかに不安定な画像状態のデータであるから、画像の明るさ測定などに用いることはできない旨、信号処理部に知らせることができる。

【0028】

さらに、本発明の画像処理装置において、前記有効信号を出力する手段は、前記固体撮像素子を低フレームレートで動作させる場合、フレームレートの低下に応じて、有効信号をフレーム単位で間欠的に非アクティブとする割合を増加させることが好ましい。低フレームレートとは、例えば15フレーム／秒より低いフレームレートを言う。

【0029】

このような構成によれば、明るい環境下でも、ノイズが少なく画質の良好な低フレームレートの動作が可能となる。また、固体撮像素子内部動作並びに後段の信号処理部の動作を抑えることが可能となり、消費電流の低減が可能となる。

【0030】

本発明の画像処理装置の処理方法は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、前記固体撮像素子の出力を信号処理する信号処理部を含む画像処理装置の処理方法であって、前記固体撮像素子は、その動作状態に応じて、前記固体撮像素子の出力が有効か否かを示す有効信号を前記信号処理部へ出力することを特徴とするものである。

【0031】

このような方法によれば、固体撮像素子から有効な画素データを送出するとき、有効信号をアクティブとして信号処理部に有効であることを知らせ、シャッ

タ開に対応する露光状態（蓄積状態）では有効信号を非アクティブとして信号処理部に現在の画素データが無効であることを知らせるようにしたので、暗い環境下でシャッタースピードの設定範囲を1フレーム以上に長く設定しても、露光状態（蓄積状態）では信号処理部で無用な信号処理を行わなくても済む。

【0032】

本発明の画像処理装置の処理方法において、前記固体撮像素子が、閾値電圧変調方式のMOS型固体撮像素子であることが好ましい。

【0033】

このような方法によれば、閾値電圧変調方式のMOS型固体撮像素子を使用することで、良好な画質を実現可能となる。

【0034】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

まず、図1に基づき、本実施の形態に係わる画像処理装置の構成を説明する。

【0035】

図1は、固体撮像装置であるイメージセンサLSI（大規模集積回路）1と、信号処理装置である信号処理LSI2からなる画像処理装置の構成を示すブロック構成図である。イメージセンサLSI1は、2次元の固体撮像装置であり、光学像を光電変換して、光学像に基づく画素信号を信号処理LSI2へ供給する。信号処理LSI2は、受信した各画素信号に対して予め決められた信号処理を施して、画像信号を出力する。

【0036】

イメージセンサLSI1は、センサセルアレイ3と、クリアライン用シフトレジスタ4と、読み出しライン用シフトレジスタ5と、垂直ドライブ回路6と、昇圧回路7と、レギュレータ8と、蓄積信号用ラインメモリ9と、オフセット信号用ラインメモリ10と、水平シフトレジスタ11と、出力アンプ12と、タイミングジェネレータ13とを含む。タイミングジェネレータ13は、レジスタ14と3線シリアルインターフェース15を含む。

【0037】

イメージセンサ L S I 1 のセンサセルアレイ 3 は、例えば、特開平 11-195778 号公報に記載されたような閾値変調型の固体撮像素子である。タイミングジェネレータ 13 から、各回路へ各種制御信号が供給され、その各種制御信号に基づいて、センサセルアレイ 3 は、各セルの受光した光量に応じた画素信号を出力する。また、センサセルアレイ 3 は、例えば、 640×480 のセルと、オプティカルブラック (OB) のための領域 (OB 領域) を含む。OB 領域を含めると、センサアレイ 3 は例えば 712×500 のセルで構成される。そして、イメージセンサ L S I 1 は、受光光量に応じた信号成分の電圧出力信号 VOUTS と、オフセット成分に応じた電圧出力信号 VOUTN の 2 つの出力信号を、信号処理 L S I 2 へ供給する。

【0038】

垂直ドライブ回路 6 は、読み出しラインとクリアラインを選択するための回路である。読み出しライン用シフトレジスタ 5 とクリアライン用シフトレジスタ 4 は、それぞれ読み出しラインとクリアラインを指定するための回路である。

【0039】

レギュレータ 8 は、イメージセンサ L S I 1 内で必要とされる各種電圧を生成するための電圧生成回路である。昇圧回路 7 は、後述するように、センサセルアレイ 3 に対して必要な電圧を与えるために、レギュレータ 8 から供給された電圧を昇圧するための回路である。なお、イメージセンサ L S I 1 のより詳細な説明は、図 2 を用いて後述する。

【0040】

信号処理 L S I 2 は、差分アンプ回路 16 と、オプティカルブラック (以下、OB と略す。) クランプ回路 17 と、プログラマブルゲインアンプ回路 (PGA) 18 と、アナログデジタル変換回路 (ADC) 19 と、OB 制御ロジック回路 20 と、輝度制御ロジック回路 21 と、輝度測光ロジック回路 22 と、レジスタ 23 と、イメージプロセッサ 24 と、シーケンサ 25 と、タイミングジェネレータ 26 とを含む。レジスタ 23 は、シャッタースピードデータ等のデータがストアされる。

【0041】

イメージセンサ L S I 1 からの V O U T S と V O U T N の 2 つのアナログ信号は、差分アンプ回路 1 6 に入力される。信号処理 L S I 2 の差分アンプ回路 1 6 は、信号成分の電圧値とオフセット成分との電圧値の差を取って増幅し、O B クランプ回路 1 7 へその差分電圧を出力する。

O B クランプ回路 1 7 は、入力された画素信号の黒レベルを黒色の適切なレベルに設定するための回路である。センサセルアレイ 3 内の予め決められた数画素分のセル、すなわち O B 領域は、遮光板等によって遮光されており、その遮光されたセルの信号レベルに基づいて、有効画素領域の画素信号に対する適切な黒色レベル調整が行われる。

【 0 0 4 2 】

P G A 1 8 は、例えば 1 デシベル単位でゲインを調整するための増幅器である。P G A 1 8 によって増幅された信号は、A D C 1 9 へ供給される。A D C 1 9 は P G A 1 8 の出力をデジタル信号に変換する。

O B 領域の画素については、その画素の輝度データが、A D C 1 9 からデジタル信号として O B 制御ロジック回路 2 0 に供給される。O B 制御ロジック回路 2 0 は、タイミングジェネレータ 2 6 からの制御信号に基づいて、A D C 1 9 からの信号を入力し、黒レベルの調整をするために O B クランプ回路 1 7 へ制御信号を出力する。

【 0 0 4 3 】

同様に、輝度測光ロジック回路 2 2 は、例えば、A D C 1 9 から供給される 1 フレーム内の全ての緑（G）の画素のデータに基づいて、輝度を測定し、輝度データを輝度制御ロジック 2 1 に供給する。

輝度制御ロジック回路 2 1 は、輝度測光ロジック回路 2 2 から供給される輝度データに基づいて、P G A 1 8 へゲイン制御信号を供給することによって、画像の明るさの調整を行う。さらに、輝度制御ロジック回路 2 1 は、レジスタ 2 3 へシャッタースピードのデータを書き込む。

【 0 0 4 4 】

なお、レジスタ 1 4 とレジスタ 2 3 は、互いに同じデータをストアするようになっているので、一方のレジスタの内容が変更されると、3 線シリアルインター

フェース 15 を介して、他方のレジスタの内容も変更される。よって、シャッタースピードのデータが、信号処理 L S I 2 内のレジスタ 23 に書き込まれると、さらに、そのデータは、3 線シリアルインターフェース 15 を介して、イメージセンサ L S I 1 内のレジスタ 14 に転送されて書き込まれる。イメージセンサ L S I 1 では、シャッタースピードのデータに基づいて、フォーカルプレーンシャッターの設定が行われる。フォーカルプレーンシャッターの機能については後述する。

【0045】

例えば、イメージセンサ L S I 1 側では、シャッタースピードのデータに基づいて、フォーカルプレーンの読み出しラインとクリアラインの幅 d1 を制御する。画像が明るい場合のように、露光時間を短くする場合には、その幅 d1 を狭めるように、すなわち読み出しラインとクリアライン間のライン数を小さくするように、制御が行われる。また、画像が暗い場合のように、露光時間を長くする場合には、その幅 d1 を広げるように、すなわち読み出しラインとクリアライン間のライン数を大きくするように、制御が行われる。さらに、シャッタースピードの制御だけでは露光が適切でないときは、輝度制御ロジック回路 21 は、信号ゲインを調整することによって、信号量を適切になるように制御する。

【0046】

信号処理 L S I 2 には、システムクロック信号 C L K I N が供給され、そのシステムクロック信号 C L K I N に基づいて、タイミングジェネレータ 26 は、種々のタイミング信号を生成する。信号処理 L S I 2 は、種々のタイミング信号の中から各種同期信号を、イメージセンサ L S I 1 に供給する。同期信号としては、センサ駆動クロック信号 S C L K、垂直同期信号 V S Y N C、水平同期信号 H S Y N C がある。イメージセンサ L S I 1 はこれらの同期信号に基づいて同期を取って、画像信号を信号処理 L S I 2 へ供給する。従って、S C L K、V S Y N C、H S Y N C の各信号は、システムクロック信号 C L K I N に依存する。

【0047】

信号処理 L S I 2 のレジスタ 23 には、各種パラメータ、例えば、全体に、あるいは部分的に明るくするためのパラメータ等が、I²C-Bus（アイスクエ

アシーバス) I/Fを介して入力され、ストアされる。

信号処理LSI2において、イメージプロセッサ24は、RGBの信号に基づいて画像を生成するための回路であり、シーケンサ25は、イメージプロセッサ24を駆動するための回路である。

【0048】

イメージセンサLSI1のタイミングジェネレータ13には、さらにクロック指定信号CLK_SELが、入力されるようになっている。CLK_SELは、イメージセンサLSI1が動作されるクロック周波数の指定を明示的に、イメージセンサLSI1に知らせるすなわちイメージセンサLSI1にクロックの高低指示を制御信号として入力する、ための信号である。CLK_SELに基づいて、タイミングジェネレータ13が各種制御信号の出力タイミングを変更する。さらに、タイミングジェネレータ13には、スタンバイ信号STANDBYが入力される。

【0049】

イメージセンサLSI1のレジスタ14には、シャッタースピード、レギュレータの電圧設定、スキャン方向の指定、等のデータが3線シリアルインターフェース15を介して入力され、ストアされる。

また、イメージセンサLSI1は、一つの制御信号として有効信号VALIDを信号処理LSI2のタイミングジェネレータ26へ供給する。VALIDは、イメージセンサLSI1から有効な画像データが出力されていることを示す信号である。この信号がアクティブなときは、有効な画像データがイメージセンサLSI1から出力されているので、そのデータを測光等に使用できることを、信号処理LSI2は知ることができる。

【0050】

次に、イメージセンサLSI1の構成について説明する。図2は、イメージセンサLSI1の構成を示す回路図である。

センサセルアレイ3は、 $m \times n$ (m 行 n 列) 個のセル $S_{11} \sim S_{mn}$ からなるマトリックスの固体撮像素子である。一つのセルが、一つの単位画素に対応する。各単位画素に対応する各セルは、フォトダイオードPDSと、光信号検出用絶

縁ゲート型電界効果型トランジスタであるMOSトランジスタPDTrを含む。フォトダイオードPDSは、不純物拡散領域とウエル領域からなり、入射光に応じてホール（正孔）がウエル領域内に生じる。そのウエル領域は、光信号検出用MOSトランジスタPDTrと共有されており、光信号検出用MOSトランジスタPDTrのゲート領域を構成する。フォトダイオードPDSの不純物拡散領域と、光信号検出用MOSトランジスタPDTrのドレイン拡散領域は、ウエル領域の表層に一体的に形成されている。ドレイン拡散領域は、リング状のゲート電極の外周部を取り囲むように形成されている。リング状のゲート電極の中心部にソース拡散領域が形成されている。ゲート電極下のウエル領域内であって、ソース拡散領域の周辺部に、ソース拡散領域を取り囲むようにキャリアポケットが形成されている。センサ構造の詳細は、特開平11-195778号公報に記載されている。

【0051】

センサセルアレイ3から光量に応じた信号を得るために、蓄積、読み出し及びクリアの3状態のそれぞれにおいて、各セルのゲート、ソース及びドレインに、所定のバイアス電圧を印加することによって、光量に応じた信号を得ることができる。簡単に言えば、蓄積状態のとき、フォトダイオードPDSに入射した光量に応じて生じたホールをキャリアポケットに蓄積させる。読み出し状態のとき、蓄積されたホールに基づいて信号電圧を読み出す。読み出された信号電圧は、ゲート電圧と、受光量に応じて変化した閾値との差に応じた電圧信号である。クリア状態のとき、昇圧回路7によって光信号検出用MOSトランジスタPDTrのソース電圧を所定の値に昇圧するとともに、リングゲート、ソース間のカップリング容量により、ゲート電圧も所定の値に昇圧され、光信号検出用MOSトランジスタPDTrがターンオンし、リングゲート下にチャネルが形成される。従って、ドレイン電圧はソース電圧とほぼ等しい値（ドレイン電圧 $V_D = V_G - V_{th}$ でゲート電圧 V_G がソース電圧より十分高い場合）となり、ソース、チャネル、ドレイン下の空乏層が広がることによって、蓄積されたホールは基板方向へ掃き出され、ホール等の残留電荷を排出する。クリア後、ノイズ成分を含むオフセット電圧を読み出し、信号電圧とオフセット電圧との差分をとることによって、画像信号を

得ることができる。各セルについて、上述した動作を行い、画像信号を得ることによって、2次元の画像信号を得ることができる。バイアス条件、すなわち各状態における各セルのゲート、ソース及びドレインのバイアス電圧については、後述する。

【0052】

クリアライン用シフトレジスタ4は、クリアするラインを指定するための回路である。クリアライン用シフトレジスタ4には、クリアライン用シフトデータAV、クリアライン用シフトクロック信号VCLK__ASR、クリアライン用シフトレジスタリセット信号VSFRA__RSTが入力される。クリアライン用シフトレジスタ4は、マトリックス状のセンサセルアレイ3の中の、蓄積電荷をクリアするラインを選択するクリアライン選択信号VSA1ないしVSAmを出力する。

【0053】

読み出しライン用シフトレジスタ5は、読み出しラインを指定するための回路である。読み出しライン用シフトレジスタ5には、読み出しライン用シフトデータBV、読み出しライン用シフトクロック信号VCLK__BSR、読み出しライン用シフトレジスタリセット信号VSFRB__RSTが入力される。読み出しライン用シフトレジスタ5は、マトリックス状のセンサセルアレイ3の中の、信号電圧を読み出すラインを選択する読み出しライン選択信号VSB1ないしVSBmを出力する。

【0054】

シャッタースピードのデータに基づいて決められた出力タイミングでクリアライン用シフトデータAVと読み出しライン用シフトデータBVが与えられることによって、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順番に選択信号を出力する。すなわち、読み出しライン用シフトデータBVは、垂直同期信号VSYNCに対して予め決められたタイミングで生成されるが、読み出しライン用シフトデータBVとクリアライン用シフトデータAVとの位相関係はシャッタースピードによって決定され、その位相関係を保った状態で、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順

番に選択信号を出力する。なお、後述するように、1フレーム中に読み出しラインとクリアラインが存在するときは、センサアレイの中の2つのラインが指定され、選択される。

【0055】

垂直ドライブ回路6は、ライン毎に、2つのAND回路31、32と、OR回路33と、バッファ回路34と、ドレイン・ゲート電圧供給回路VC1i（iは、1からmのいずれかである。以下、同じ。）とを含む。一つのAND回路31は、クリアライン選択信号VSAiとクリアライン選択イネーブル信号CLSとを入力とする。他方のAND回路32は、読み出しライン選択信号VSBiと、信号読み出し、クリア、ノイズ読み出しの3つの動作の読み出しライン選択イネーブル信号VSMとを入力とする。OR回路33は、各AND回路31、32の出力信号と蓄積時全ライン選択信号VGUPとを入力とする。バッファ回路34は、そのOR回路33からの出力信号を入力とする。各バッファ回路34の出力信号は、ライン選択信号VSCiとして、ドレイン・ゲート電圧供給回路VC1iへ供給される。

【0056】

ドレイン・ゲート電圧供給回路VC1iには、ライン選択信号VSCiに加えて、蓄積イネーブル信号SDI、読み出しイネーブル信号SDR2及びクリアパルス信号CLが入力される。ドレイン・ゲート電圧供給回路VC1iは、対応するラインの全セルのゲート及びドレインに印加するための電圧を選択して出力する。すなわち、ドレイン・ゲート電圧供給回路VC1iは、各ラインの各セルに、ドレイン電圧VPDiと、ゲート電圧VPGiを供給する。このドレイン・ゲート電圧供給回路VC1iの詳細は後述する。

【0057】

ソース電圧供給回路VC2h（hは、1からnのいずれか。以下、同じ。）が、マトリックスの列毎に、設けられている。ソース電圧供給回路VC2hには、クリアパルス信号CL及びクリア前ゲートプリセット信号PRが入力される。ソース電圧供給回路VC2hは、各列の全セルのソースに、ソース電圧VPShを供給する。このソース電圧供給回路VC2hの詳細は後述する。

【0058】

各列に対応するソース線が蓄積信号用ラインメモリ9とオフセット信号用ラインメモリ10とに、ラインメモリデータロード信号LOADが入力されるスイッチSW1hを介して接続されている。

蓄積信号用ラインメモリ9は、各列に対応した選択回路HS hを含む。各選択回路HS hは、電荷蓄積用コンデンサC2と、読み込み用スイッチSW21と、リセット用スイッチSW22と、出力用スイッチSW23とを含む。

【0059】

オフセット信号用ラインメモリ10は、各列に対応した選択回路HN hを含む。各選択回路HN hは、電荷蓄積用コンデンサC3と、読み込み用スイッチSW31と、リセット用スイッチSW32と、出力用スイッチSW33とを含む。

蓄積信号用ラインメモリ9への蓄積信号用ラインメモリデータロード信号LOADSが入力されると、SW21がオンとなって、各ソース線から光量に応じた電圧がコンデンサC2に与えられ、コンデンサC2にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ5によって選択された1ライン分の画素信号が、LOADSに応じて、蓄積信号用ラインメモリ9にストアされる。

【0060】

蓄積信号用ラインメモリ9への蓄積信号用ラインメモリリセット信号RESSは、信号読み出し直前にコンデンサC2を予め決められた電圧VMPRにするための信号である。電圧VMPRは、リセット用スイッチSW22をオンにすることによって、レギュレータ8で生成された電源35からコンデンサC2に供給される。

【0061】

そして、水平シフトレジスタ11からの選択信号HSCAN hによって、蓄積信号用ラインメモリ9の各選択回路HS hのスイッチSW23は順番にオンされていく。オンされたSW23は、コンデンサC2に蓄積された電荷に応じた電圧を出力するので、読み出しライン用シフトレジスタ5で選択された1ラインの画素信号が、VOUTS信号として順番に出力アンプ36を介して出力される。

【0062】

オフセット信号用ラインメモリ 10 へのオフセット成分蓄積信号用ラインメモリデータロード信号 LOADN が入力されると、スイッチ SW31 がオンとなって、各ソース線からオフセット成分に応じた電圧が与えられ、コンデンサ C3 にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ 5 によって選択された 1 ライン分の画素信号が、オフセット成分蓄積信号用ラインメモリデータロード信号 LOADN に応じて、オフセット信号用ラインメモリ 10 にストアされる。オフセット信号用ラインメモリ 10 へのオフセット信号用ラインメモリリセット信号 RESN は、オフセット成分の信号の読み出し直前にコンデンサ C3 を予め決められた電圧 VMPR にするための信号である。電圧 VMPR は、リセット用スイッチ SW32 をオンにすることによって、レギュレータ 8 で生成された電源 37 からコンデンサ C3 に供給される。

【0063】

そして、水平シフトレジスタ 11 は、オフセット信号用ラインメモリ 10 の各選択回路 HN_h のスイッチ SW33 を順番にオンしていく。オンされた SW33 は、コンデンサ C3 に蓄積された電荷に応じた電圧を出力させるので、読み出しライン用シフトレジスタ 5 で選択された 1 ラインの画素信号のオフセット成分の信号が、VOUTN 信号として順番に出力アンプ 38 を介して出力される。イメージセンサ LSI1 からの VOUTS と VOUTN の 2 つの電圧アナログ信号は、信号処理 LSI2 の差分アンプ回路 16 に入力される。

【0064】

図 3 は図 2 のドレイン・ゲート電圧供給回路 VC11 ないし VC1m の構成を示す回路図である。ドレイン・ゲート電圧供給回路 VC1i は、NAND 回路、インバータ回路、トランジスタを含み、各種入力信号に応じて、ドレイン電圧 VPD とゲート電圧 VPG を出力する。

【0065】

各ドレイン・ゲート電圧供給回路 VC1i には、クリアパルス信号 CL、蓄積イネーブル信号 SDI 及び読み出しイネーブル信号 SDR2 が入力され、供給されている VCCSGHR、VCCSGHI、VCCSDR 及び VCCSDI の電圧を用いて、後述する図 5 のバイアス電圧を発生し、各センサセルのドレインと

ゲートに与える。

【0066】

センサセルアレイ 3 は、次のような状態を有する。これらの各状態は、詳細には、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)” 及び “変調 (N)” の各状態を含み、これらの各状態の繰返しによって、光学像を電気信号に変換して出力する。蓄積イネーブル信号 S D I は、ローアクティブの信号であり、蓄積期間を示す信号である。読み出しイネーブル信号 S D R 2 は、蓄積期間以外の期間を示す信号 S D R を元に生成された信号であり、変調、オフセット変調及びクリア時にローアクティブとなる信号である。また、ライン選択信号 V S C i は、読み出しライン及びクリアラインの選択に用いられ、クリアパルス信号 C L は、蓄積されたホール等の残留電荷を排出する期間に設定される。

【0067】

図 3 において、クリアパルス信号 C L が L レベルでライン選択信号 V S C i が H レベルになるものとする。この場合には、P M O S トランジスタ T1、N M O S トランジスタ T2 はオンとなり、P M O S トランジスタ T3 はオフとなる。そうすると、ゲート電圧 V P G i は電圧 V C C S G H I 又は電圧 V C C S G H R となる。なお、P M O S トランジスタ T1 はエンハンス型、N M O S トランジスタ T2 はディプレッション型の M O S トランジスタである。

【0068】

逆に、クリアパルス信号 C L が H レベルでライン選択信号 V S C が L レベルの場合には、トランジスタ T1、T2 はオフとなり、トランジスタ T3 はオンとなる。この場合には、ゲート電圧 V P G i はローレベルの電圧となる。なお、クリアパルス信号 C L 及びライン選択信号 V S C i が H レベルの場合には、トランジスタ T1、T2、T3 はオフとなり、ゲートはフローティング状態となる。

【0069】

また、クリアパルス信号 C L が L レベルの場合又はライン選択信号 V S C が L レベルの場合には、N M O S トランジスタ T5 はオンとなる。各ラインのトランジスタ T5 のソースは共通接続されて C O M ノードを構成する。トランジスタ T

5 がオンの場合には、各ラインのドレインはCOMノードに接続されてフローティング状態となる。トランジスタT5がオンの場合において、蓄積イネーブル信号SDIがLレベルのときには、PMOSトランジスタT6とNMOSトランジスタT7もオンとなって、ドレイン電圧VPDiは電圧VCCSDIとなる。また、トランジスタT5がオン状態で、読み出しイネーブル信号SDR2がLレベルになると、PMOSトランジスタT4もオンとなって、ドレイン電圧VPDiは電圧VCCSDRとなる。また、トランジスタT4～T7のうちトランジスタT5のみがオン状態の場合には、全てのドレインはフローティング状態のCOMノードに接続されてHiZとなる。

【0070】

なお、トランジスタT1には、蓄積イネーブル信号SDIがLレベルの場合に電圧VCCSGHIが供給され、信号SDRがLレベルの場合に電圧VCCSGHRが供給されるようになっている。

【0071】

即ち、図3の回路は下記表1の状態を得る。なお、表1には、着目している信号のHレベルとLレベルのみ示されている。

(表1)

VSCi	CL	SDI	SDR2	VPGi
L	L			L (GND)
L	H			L (GND)
H	L	L		VCCSGHI
H	L		L	VCCSGHR
H	H			フローティング
VSCi	CL	SDI	SDR2	VPDi
L		L		VCCSDI
	L	L		VCCSDI
L			L	VCCSDR
	L		L	VCCSDR
	L	H	H	HiZ

図4 (a) は、図2のソース電圧供給回路VC21ないしVC2nの構成を示す回路図である。ソース電圧供給回路VC2hは、コンデンサとトランジスタを含み、各種入力信号に応じて、ソース電圧VPS_hを出力する。

図4 (b) は、図4 (a) におけるS1、S2、S3及びS4の信号を生成するための回路を示す。

各ソース電圧供給回路VC2hは、クリアパルス信号CLの反転信号S1～S3と、プリセット信号PRの正転信号S4とが入力され、供給されているVCCSDB及びVCCVPSを用いて、図5のSOURCEバイアス電圧を発生して、各センサセルのソースに与える。

【0072】

図4 (b) において、信号S1～S3はクリアパルス信号CLの反転信号であり、プリセット信号PRの正転信号S4は、クリア前ゲートプリセット信号PRと同一論理レベルの信号である。クリアパルス信号CL及びクリア前ゲートプリセット信号PRがいずれもLレベルの場合には、反転信号S1～S3はHレベルであり、プリセット信号PRの正転信号S4はLレベルである。従って、NMOSトランジスタT11、T13はオンであり、PMOSトランジスタT12、T14はオフであり、NMOSトランジスタT15はオフである。即ち、この場合には、トランジスタT14、T15がオフであるので、ソース電圧供給回路VC2hはソース電圧を供給しない。なお、この時点では、ND1点の電圧値はグラウンドレベル (GND) であり、ND2点の電圧値はVCCSDBである。

【0073】

また、クリアパルス信号CLがLレベルで、クリア前ゲートプリセット信号PRがHレベルの場合には、反転信号S1～S3及びプリセット信号PRの正転信号S4はHレベルである。従って、トランジスタT11、T13、T15はオンであり、トランジスタT12、T14はオフである。即ち、この場合には、ソース電圧VPS_hは電圧VCCVPSとなり、また、ND1点の電圧値はグラウンドレベル (GND) であり、ND2点の電圧値はVCCSDBである。従って、この間、コンデンサC1は電圧VCCSDBまで充電される。

【0074】

また、クリアパルス信号 CL が H レベルで、クリア前ゲートプリセット信号 PR が L レベルの場合には、反転信号 $S1 \sim S3$ 及びプリセット信号 PR の正転信号 $S4$ は L レベルである。従って、トランジスタ $T11$, $T13$, $T15$ はオフであり、トランジスタ $T12$, $T14$ はオンである。即ち、この場合には、 $ND2$ 点の電圧がソース電圧 $VPSH$ となる。仮に、この場合の直前に、コンデンサ $C1$ の電圧が $VCCSDB$ に充電されていれば、トランジスタ $T12$ がオンすることによって $ND1$ 点は電圧 $VCCSDB$ になるので、 $ND2$ 点の電圧値は $VCCSDB \times 2$ となる。

【0075】

即ち、図4の回路は下記表2の状態を得る。

(表2)

	CL	PR	$VPSH$
①	L	L	電圧を供給しない
②	L	H	$VCCVPS$
③	H	L	②の状態直後であれば $VCCSDB \times 2$

図5は、センサセルへ印加するバイアス電圧を説明するための図である。

図5は、各状態における、各セルのゲート電圧、ソース電圧及びドレイン電圧の電圧値を示す。なお、図5ではバイアス電圧の観点から、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)”及び“変調 (N)”の各状態に分けて示している。

【0076】

図5において、 $GATE$ は、セルのゲート電圧であり、選択状態と非選択状態の2つの状態を有する。 $SOURCE$ は、セルのソース電圧である。 $DRAIN$ は、セルのドレイン電圧であり、選択状態と非選択状態の2つの状態を有する。

【0077】

まず、蓄積状態の場合について説明する。

“蓄積”の状態（以下、蓄積状態という。）のとき、セルアレー中の全てのセルが選択状態とされ、電圧値が $VCCSGHI$ である電圧が、ゲートに印加される。蓄積状態のとき、非選択のセルはない。蓄積状態のとき、ソースは、ソース

電圧供給回路 V_{C2h} からのバイアス電圧の供給を受けないが、ゲートに V_{CCSGHI} の電圧が印加され、光信号検出用 MOS トランジスタ PDT_r がターンオンしているので、ソース・ドレイン間が導通状態になり、蓄積状態ではソースはドレイン電圧 (V_{CCSDI}) に等しくなる。

【0078】

次に、“リセット (S)” の状態 (以下、 $RESS$ 状態と略す。) の場合について説明する。

選択状態のセルの場合、 $RESS$ 状態のとき、電圧値が L_o (L レベル) である電圧が、ゲートに印加される。 $RESS$ 状態のときは、電圧値が V_{MPR} である電圧が、ソースに印加される。選択状態のセルの場合、 $RESS$ 状態のとき、ゲートに L_o の電圧が印加され、光信号検出用 MOS トランジスタ PDT_r がオフしているので、ソース・ドレイン間が非導通状態になり、ドレインはハイインピーダンス (HiZ) となる。

【0079】

また、非選択状態のセルの場合、 $RESS$ 状態のときは、電圧値が L_o (L レベル) である電圧が、ゲートに印加される。あるセルが非選択状態で、 $RESS$ 状態のときは、ドレインは HiZ となる。

“変調 (S)” の状態 (以下、 $LOADS$ 状態と略す。) において、選択状態のセルの場合、電圧値が V_{CCSGHR} である電圧が、ゲートに印加される。選択状態のセルの場合、電圧値が V_{CCSDR} である電圧が、ドレインに印加され、電圧値が ($V_{CCSGHR} - V_{thS}$) である電圧が、ソースに出力される。 $LOADS$ 状態では、($V_{CCSGHR} < V_{CCSDR}$) の関係が成り立つバイアス電圧を印加する必要がある。

【0080】

また、非選択状態のセルの場合、 $LOADS$ 状態のとき、電圧値が L_o である電圧が、ゲートに印加され、電圧値が V_{CCSDR} である電圧が、ドレインに印加される。

続いて、“プリセット” の状態 (以下、 PR 状態と略す。) の場合について説明する。

選択状態のセルの場合、PR状態のとき、電圧値が $VCCSGHR$ である電圧が、ゲートに印加される。PR状態のとき、電圧値が $VCCVPS$ である電圧が、ソースに印加される。選択状態のセルの場合、PR状態のとき、光信号検出用MOSトランジスタ PDT_r がターンオンしているので、ドレインはソースと同じ電圧となる。

【0081】

また、非選択状態のセルの場合、PR状態のとき、電圧値が L_o である電圧が、ゲートに印加され、ドレインは $VCCVPS$ となる。 VSC_i が L_o レベルのライン（＝非選択ライン）は T_5 がターンオンし、各ラインが共通ノード（COMノード）に接続されてCOMノードが HIZ となる。

【0082】

“クリア”の状態（以下、CL状態と略す。）において、選択状態のセルの場合、電圧値が $(VCCSDB \times 2)$ である電圧が、ソースに印加され、光信号検出用MOSトランジスタ PDT_r がターンオンしているので、ドレインはソースと同じ電圧となる。その結果、電圧値が $(VCCSGHR + VCCSDB \times 2)$ の電圧が、ゲートに印加される。

【0083】

また、非選択状態のセルの場合、CL状態のとき、電圧値が L_o である電圧が、ゲートに印加され、電圧値が $VCCSDR$ である電圧が、ドレインに印加される。

次に、“リセット（N）”の状態（以下、RESN状態と略す。）の場合について説明する。

選択状態のセルの場合、RESN状態のとき、電圧値が L_o である電圧が、ゲートに印加される。RESN状態のとき、電圧値が $VMPR$ である電圧が、ソースに印加される。選択状態のセルの場合、RESN状態のとき、ドレインは HIZ となる。

【0084】

また、非選択状態のセルの場合、RESN状態のとき、電圧値が L_o である電圧が、ゲートに印加される。非選択状態のセルの場合、RESN状態のとき、ド

レインはH i Zとなる。

なお、クリアパルス信号CLがLレベルの期間では、図3のNMOSトランジスタT5がターンオンしている。従って、RESS状態でもNMOSトランジスタT5はターンオンしてドレインはCOMノードに接続される。読み出しイネーブル信号SDR2は、RESS状態とRESN状態でHレベルとなるので、PMOSトランジスタT4がターンオフし、COMノードはフローティングとなる。

【0085】

“変調(N)”の状態(以下、LOADN状態と略す。)において、選択状態のセルの場合、電圧値がVCCSGHRである電圧が、ゲートに印加される。LOADN状態のとき、電圧値がVCCSDRである電圧が、ドレインに印加され、電圧値が $(VCCSGHR - V_{thN})$ である電圧が、ソースに出力される。

【0086】

また、非選択状態のセルの場合、LOADN状態のとき、電圧値がLoである電圧が、ゲートに印加され、電圧値がVCCSDRである電圧が、ドレインに印加される。

LOADS状態と同様に、LOADN時も図3のT5がターンオンしているのでドレインはCOMノード(=H i Z)に接続される。

【0087】

図6は、センサの読み出しラインとクリアラインを説明するための図である。

【0088】

図6に示すように、 $m \times n$ の画素マトリックスにおいて、各ラインが第1のラインから第mのラインまで順番に走査される。読み出しラインは、光量に応じた信号が読み出されるラインであり、クリアラインは、各セルに蓄積された電荷がクリアされるラインである。第1ラインから順番に走査が行われるので、クリア用選択信号に基づいてクリアされたラインの各セルに、その後に受光した光量に応じてホールが生成される。クリア後、読み出しライン選択信号VSBiによって読み出されるまでの時間が露出時間となる。露出時間は、読み出しラインとクリアライン間のライン数d1に比例し、シャッタースピードの設定、すなわち、1H(Hは水平ライン数を示す。以下同じ。)からmHの範囲(あるいは(1フ

レーム+1H以上でもよい)の設定によって変更することができる。

【0089】

図7は、垂直同期信号VSYNCと水平同期信号HSYNCのタイミングを示すタイミングチャートである。

垂直同期信号VSYNCは、周期 t_1 毎に発生される、 t_2 時間長さのタイミングパルスである。水平同期信号HSYNCは、周期 t_3 毎に発生される、 t_4 時間長さのタイミングパルスである。垂直同期信号VSYNCと水平同期信号HSYNCは、信号処理LSI2のタイミングジェネレータ26からイメージセンサLSI1へ供給される。

【0090】

垂直同期信号VSYNCが供給されると、読み出しライン用シフトレジスタ5は、選択信号VSBiを順次出力する。垂直同期信号VSYNCの供給後の周期 t_1 内において、水平同期信号HSYNCが、センサセルアレイ3のライン数(=m)だけ出力される。そして、水平同期信号HSYNCが出力されている期間 t_4 内であってかつVGUPがLの期間に、上述した信号成分の読み出し、クリア、そしてオフセット成分の読み出しの動作が行われる期間が存在する。このVGUPがLの期間は、Hブランキング期間中の所定の期間に設定される。Hブランキング期間については、後で図9を用いて詳述する。

【0091】

周期 t_3 内の期間 t_4 後の期間 t_5 内に、n個の信号成分とオフセット成分のアナログ信号VOUTSとVOUTNが出力される。

次に、イメージセンサLSI1のタイミングジェネレータ(以下、TGという)13の回路構成について図8を参照して説明する。

図8は、図1のイメージセンサLSI1のTG13の構成を示す回路ブロック図である。

【0092】

TGは、シリアルコントロールブロック71、マスタタイミング制御ブロック72、センサレジスタブロック73、シャッターコントロール部(シャッタスピード上限制御部)74、フレームコントロール部75、H・Vカウンタ76、垂

直スキャン制御ブロック 77、水平スキャン制御ブロック 78、アナログ制御ブロック 79を含む。

【0093】

シリアルコントロールブロック 71には、当該シリアルコントロールブロック 71と、信号処理 LSI 2 のレジスタ 14 との間のインターフェース信号である 3 線シリアル I/F 信号が入出力される。

マスタタイミング制御ブロック 72には、信号処理 LSI 2 の TG 26 からセンサ駆動クロック SCLK、水平同期信号 HSYNC 及び垂直同期信号 VSYNC が入力される。また TG 13 には、信号処理 LSI 2 からのクロック指定信号 CLK_SEL と、スタンバイ信号 STANDBY が入力されている。

【0094】

シリアルコントロールブロック 71は、信号処理 LSI 2 のレジスタ 23 に書き込まれているシャッタスピードの設定データ、レギュレータ 8 の設定データ及びシステムクロック情報などをシリアル I/F 信号として入力し、これらのデータについてライトデータ、ライトアドレス及びライトストローク信号 WR を出力し、センサレジスタブロック 73 に供給する。

【0095】

前記センサレジスタブロック 73 は、上記の入力信号に応じて、ラインシャッタスピード設定信号、フレームシャッタスピード設定信号、フレームモード設定信号、クリアパルス幅制御設定信号、クリアパルス印加回数設定信号、ゲイン設定信号及びレギュレータ電圧設定信号を出力する。

一方、マスタタイミング制御ブロック 72 は、前述の各種入力信号に基づいて、ピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号を出力する。

【0096】

シャッタコントロール部（シャッタスピード上限制御部）74には、センサレジスタブロック 73 からのラインシャッタスピード設定信号及びフレームシャッタスピード設定信号が入力され、出力としてラインシャッタスピードデータ及びフレームシャッタスピードデータを出力する。

【0097】

フレームコントロール部75には、前記マスタタイミング制御ブロック72からのピクセルクロック、垂直リセットパルス及びリセット信号と、前述のスタンバイ信号STANDBYが入力され、出力としてフレームカウント値、フレーム制御データ及びバリッド(VALID)制御信号を出力する。

また、H・Vカウンタ76には、前記マスタタイミング制御ブロック72からのピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号が入力され、出力としてラインカウント値及びピクセルカウント値を出力する。

【0098】

垂直スキャン制御ブロック77には、入力として、前記シャッタコントロール部74からのラインシャッタスピードデータ及びフレームシャッタスピードデータ、前記フレームコントロール部75からのフレームカウント値、フレーム制御データ及びバリッド(VALID)制御信号、前記センサレジスタブロック73からのクリアパルス幅制御設定信号及びクリアパルス印加回数設定信号、前記マスタタイミング制御ブロック72からのピクセルクロック及びリセット信号、クロック指定信号CLK__SEL、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値が入力される。

【0099】

垂直スキャン制御ブロック77は、出力としてクリアライン用シフトデータAV、クリアライン用シフトクロックVCLK__ASR、クリアライン用シフトレジスタリセット信号VSFRA__RST、クリアライン選択イネーブル信号CLS、読み出しライン用シフトデータBV、読み出しライン用シフトクロックVCLK__BSR、読み出しライン用シフトレジスタリセット信号VSFRB__RST、読み出しライン選択イネーブル信号VSM、蓄積時全ライン選択信号VGUP、蓄積イネーブル信号SDI、読み出しイネーブル信号SDR、クリア前ゲートプリセット信号PR、クリアパルスCLを出力する。

【0100】

水平スキャン制御ブロック78には、入力として、前記フレームコントロール

部 75 からのバリッド (VALID) 制御信号、前記 H・V カウンタ 76 からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック 73 からのクリアパルス幅制御設定信号、前記マスタタイミング制御ブロック 72 からのピクセルクロック及びリセット信号、クロック指定信号 CLK_SEL が入力される。

【0101】

水平スキャン制御ブロック 78 は、出力としてラインメモリ選択用シフトデータ AH, ラインメモリ選択用シフトクロック CIN, ラインメモリ選択イネーブル信号 HSC_CK, 蓄積信号用ラインメモリリセット信号 RESS, 蓄積信号用ラインメモリデータロード信号 LOADS, オフセット用ラインメモリリセット信号 RESN, オフセット用ラインメモリデータロード信号 LOADN を出力する。

【0102】

上記のクロック指定信号 CLK_SEL は、システムクロック信号 CLK_IN の周波数の高低を示す信号であるが、この CLK_SEL は垂直スキャン制御ブロック 77 及び水平スキャン制御ブロック 78 に供給されている。各制御ブロック 77 及び 78 では、クロック指定信号 CLK_SEL の H, L レベルに応じて各ブロック 77 及び 78 から出力される各種センサ駆動信号の出力タイミングを制御できるようになっている。

【0103】

アナログ制御ブロック 79 には、前記フレームコントロール部 75 からのバリッド (VALID) 制御信号、前記 H・V カウンタ 76 からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック 73 からのゲイン設定信号、スタンバイ信号 STANDBY が入力され、出力としてアナログアンプゲイン制御信号、アンプ用駆動クロック CDL, スタンバイ制御信号を出力する。

【0104】

そして、前記フレームコントロール部 75 からのバリッド (VALID) 制御信号は VALID 信号として TG13 から信号処理 LSI2 へ出力されるようになっている。

また、前記センサレジスタブロック 73 からのレギュレータ電圧設定信号と、前記アナログ制御ブロック 79 からのスタンバイ制御信号とは、図 1 のイメージセンサ L S I 1 のセンサ駆動バイアス発生用レギュレータ 8 に入力される。

【0105】

前記アナログ制御ブロック 79 からのアナログアンプゲイン制御信号とアンプ用駆動クロック C D L とは、図 1 のイメージセンサ L S I 1 の出力アンプ 12 の制御用信号となる。

【0106】

図 9 はセンサセルアレイ 3 の光電変換を制御する各信号を示すタイミングチャートである。センサセルアレイ 3 は、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)” 及び “変調 (N)” の各状態の繰返しによって、光学像を電気信号に変換して出力する。図 9 はこれらの各状態における信号の様子を示している。センサセルアレイ 3 は、図 7 の垂直同期信号 V S N Y C 及び水平同期信号 H S Y N C を単位時間とした所定のフレームレートで動作する。

【0107】

図 9 の例では、あるラインカウント信号 R O W C T において、H S Y N C が、ピクセルクロック信号 P X L C T が 1 から 80 まで L レベルであり、さらに P X L C T が 5 から 22 までが L O A D S (リセット (S) + 変調 (S)) 状態に、P X L C T が 27 から 44 までが C L (プリセット + クリア) 状態に、P X L C T が 45 から 63 までが L O A D N (リセット (N) + 変調 (N)) 状態に割り当てられている。

【0108】

なお、各制御信号は T G 13 によって生成され出力される。T G 13 は、論理回路で構成されるが、その論理回路は、V e r i l o g - H D L、V H D L 等の H D L (H a r d w a r e D e s c r i p t i o n L a n g u a g e : ハードウェア記述言語) を利用した設計システムを用いれば、自動設計することができる。

【0109】

先ず、蓄積状態について説明する。

図7に示すHブランキング期間中の所定期間（図9の第5ピクセル～第63ピクセル）以外の期間が蓄積期間である。蓄積期間には、全画素が蓄積状態となる。この期間には、蓄積時全ライン選択信号V_{GUP}はHレベルで、蓄積イネーブル信号S_{DI}及びクリアパルス信号C_LはLレベルである。図2に示すように、蓄積時全ライン選択信号V_{GUP}がHレベルとなることによって全てのライン選択信号V_{SCi}がHレベルとなり、ドレイン・ゲート電圧供給回路V_{C1i}の動作を示す上記表1に示すように、ゲート電圧V_{PGi}はV_{CCSGHI}となる。また、ドレイン電圧V_{PDi}は電圧V_{CCSDI}となる。また、この期間には、クリア前ゲートプリセット信号P_RもLレベルであり、ソース電圧供給回路V_{C2h}の動作を示す上記表2に示すように、ソース電圧供給回路V_{C2h}はソース電圧を供給しない。この場合には、セルアレー中の全てのセルのソースは、光信号検出用MOSトランジスタP_{DTr}がターンオンしドレイン電圧に一致する。

【0110】

Hブランキング期間の第5ピクセルにおいて蓄積期間は終了し信号読み出しが開始される。この信号読み出しのための期間（L_{OADS}, C_L, L_{OADN}期間）においても、受光光量に基づくホールの蓄積は継続されるが、各セルは蓄積期間とは異なる設定値に設定される。また、信号読み出しのための期間には、クリアライン、読み出しライン又は非選択ラインでは、各セルは個別の設定値に設定される。

【0111】

先ず、リセット（s）状態について説明する。図9に示すように、この期間においても、全てのセルに共通の設定が行われる。

図9に示すように、クリアパルス信号C_L及びクリア前ゲートプリセット信号P_RはLレベルであり、ソース電圧供給回路V_{C2h}はソース電圧を供給しない。この期間においては、蓄積信号用ラインメモリリセット信号R_{ESS}がハイアクティブとなり、図2のスイッチS_{W22}がオンとなって、ラインメモリを構成するコンデンサC₂の端子電圧はV_{MPR}にチャージされる。更に、蓄積信号用ラインメモリデータロード信号L_{OADS}及びラインメモリデータロード信号L

OADもハイアクティブとなり、スイッチSW21及びスイッチSW11がオンとなって、ソースラインを電圧VMPRで初期化する。

【0112】

一方、蓄積時全ライン選択信号VGUPはHからLに変化し、全てのライン選択信号VSCiはLレベルに変化する。従って、表1に示すように、ゲート電圧VPSGiは全てL(GND)レベルとなる。また、蓄積イネーブル信号SDIはHレベルであり、SDR2もHレベルであるため、表1に示すように、図3中のT5がターンオンしているので、全てのセルのドレインは共通に接続され(COMノード)、そのCOMノードはHiZ状態となる。

【0113】

次に、変調(s)状態について説明する。

図9に示すように、CL, PRはLレベルを維持しており、ソース電圧供給回路VC2hはソースラインに電圧を供給していない。各セルに設定した電圧値に応じた出力がソースラインを介して出力される。即ち、クリアライン及び非選択ラインについてはライン選択信号VSCiはLレベルのままであり、ゲート電圧はL(GND)レベルである。また、読み出しイネーブル信号SDR2もLレベルであるので、ドレイン電圧VPDiはVCCSDRとなる。

【0114】

読み出しラインについてはライン選択信号VSCiはHレベルである。クリアパルス信号CL及び信号SDRがLレベルであるので、ゲート電圧VPGiはVCCSGHRである。ドレイン電圧VPDiはVCCSDRである。これにより、ソース電圧VPSiには電圧($VCCSGHR - V_{thS}$)が現れる。なお、 V_{thS} は、蓄積されたホールに応じて変化する。ソースラインの電圧($VCCSGHR - V_{thS}$)は、スイッチSW21を介してラインメモリを構成する各コンデンサC2に蓄積される。

【0115】

次に、相関2重サンプリング処理のために、読み出しラインの各セルに蓄積されているホールを除去(クリア)するためのCL状態を設定する。ホールの除去のためには極めて高い電圧をゲートに印加する必要がある、クリア状態の前にプ

リセット状態を設定して、倍圧回路を利用して高電圧を得るようになっている。
なお、読み出しラインのクリアと同時にクリアラインの各セルのクリアも行うようになっている。

【0116】

先ず、プリセット状態においては、読み出しラインとクリアラインについては、ライン選択信号 VSC_i は H レベルである。クリアパルス信号 CL 及び信号 SDR は L レベルであるので、ゲート電圧 $VPGi$ は $VCCSGHR$ である。なお、非選択ラインについては、ライン選択信号 VSC_i が L レベルであるので、ゲート電圧は L (GND) レベルである。

【0117】

また、クリアパルス信号 CL は L レベルで、クリア前ゲートプリセット信号 PR は H であるので、表 2 に示すように、全ソースラインの電圧 $VPSh$ は電圧 $VCCVPS$ (例えば 0 V) にリセットされる。また、図 4 のコンデンサ $C1$ は電圧 $VCCSDB$ がチャージされ、ND 2 点は電圧 $VCCSDB$ となる。なお、蓄積イネーブル信号 SDI 及び読み出しイネーブル信号 $SDR2$ は H レベルであるので、ドレインは、光信号検出用 MOS トランジスタ PDT_r がターンオンして、ソースと同電位になる。

【0118】

次に、クリア状態においては、クリア前ゲートプリセット信号 PR が H レベルから L レベルに変化し、クリアパルス信号 CL が L レベルから H レベルに変化する。この場合には、表 2 に示すように、ソースラインは電圧 $VCCSDB \times 2$ に変化する。また、読み出しラインとクリアラインについては、クリアパルス信号 CL 及びライン選択信号 VSC_i が H レベルであるので、表 1 に示すように、ゲートはフローティング状態となる。従って、ソースとゲートとのカップリング容量によって、ゲート電圧 $VPGi$ は $(VCCSDB \times 2 + VCCSGHR)$ となる。また、ドレインはプリセット状態時と同様に、光信号検出用 MOS トランジスタ PDT_r がターンオンして、ソースと同電位になる。

【0119】

一方、非選択ラインについては、ゲート電圧 $VPGi$ は L (GND) レベルの

ままであり、ドレイン電圧 V_{PDi} は、トランジスタ $T4$ がオンとなるので、 V_{CCSDR} となる。

【0120】

次に、リセット (N) 状態を経て、変調 (N) 状態に移行する。これらのリセット (N) 状態及び変調 (N) 状態は、夫々リセット (s) 状態及び変調 (s) 状態と略同様の信号が設定される。即ち、リセット (N) 状態においては、蓄積信号用ラインメモリリセット信号 $RESS$ 、蓄積信号用ラインメモリデータロード信号 $LOADS$ に夫々代えてオフセット用ラインメモリリセット信号 $RESN$ 、オフセット用ラインメモリデータロード信号 $LOADN$ がハイアクティブとなる。これにより、スイッチ $SW32$ がオンとなって、ノイズ読み出し用のラインメモリを構成するコンデンサ $C3$ が V_{MPR} にチャージされる。更に、スイッチ $SW31$ 及びスイッチ $SW11$ がオンとなって、ソースラインは電圧 V_{MPR} で初期化される。

【0121】

変調 (N) 状態においては、クリアパルス信号 CL 、クリア前ゲートプリセット信号 PR は L レベルであり、ソース電圧供給回路 $VC2h$ はソースラインに電圧を供給しない。クリアライン及び非選択ラインについてはライン選択信号 $VSCi$ は L レベルであり、ゲート電圧 $VPGi$ は L (GND) である。また、読み出しイネーブル信号 $SDR2$ も L レベルであるので、ドレイン電圧 V_{PDi} は V_{CCSDR} となる。

【0122】

読み出しラインについてはライン選択信号 $VSCi$ は H レベルである。クリアパルス信号 CL 及び信号 SDR が L レベルであるので、ゲート電圧 $VPGi$ は V_{CCSGHR} である。ドレイン電圧 V_{PDi} は V_{CCSDR} である。これにより、ソース電圧 VPS_h には電圧 ($V_{CCSGHR} - V_{thN}$) が現れる。このソースに現れる電圧は、直前にクリア状態に設定されていることから、オフセット成分に対応したものとなっている。ソースラインの電圧 ($V_{CCSGHR} - V_{thN}$) は、スイッチ $SW31$ を介してラインメモリを構成する各コンデンサ $C3$ に蓄積される。

【0123】

こうして、コンデンサC2 には信号成分が蓄積され、コンデンサC3 にはオフセット成分が蓄積される。水平シフトレジスタ11からの選択信号HSCANhによって、スイッチSW23, SW33が順番にオンになることで、コンデンサC2, C3に蓄積された電圧が夫々出力アンプ36, 38を介してVOUTS, VOUTNとして出力される。

【0124】

ところで、前述したように、固体撮像素子であるイメージセンサLSI1のTG13は、一つの制御信号として有効信号VALIDを信号処理LSI2のTG26へ供給する。有効信号VALIDは、イメージセンサLSI1から有効な画像データが出力されていることを示す信号である。すなわち、TG13は、イメージセンサLSI1の動作状態に応じて、イメージセンサLSI1の出力が有効か否かを示す有効信号VALIDを信号処理LSI2へ出力する手段を備えている。或いは、有効信号VALIDは、イメージセンサLSI1の動作状態に応じて、信号処理LSI2に対して信号処理動作を行わせるか否かを制御する制御信号である、とも言える。この信号がアクティブなときは、有効な画像データがイメージセンサLSI1から出力されているので、信号処理LSI2はそのときの画像データを有効として測光等に使用できることを知り、当該画像データを用いて測光データを算出するなどの信号処理動作を行うことができる。

【0125】

図10は、有効信号VALID生成の条件を示している。

図10(a)は有効信号の生成条件の第1の例を示すものであり、イメージセンサLSI1内のTG13における有効信号を出力する手段は、アイドルフレーム, 蓄積フレーム, 間引きフレーム, Hブランキング期間の4つの期間を示す信号が、ノア(NOR)ゲート81に入力されており、出力として有効信号VALIDを出力する構成となっている。アイドルフレームは、センサ起動直後の空きフレームである。間引きフレームについては、後述する。

【0126】

図10(a)の構成では、イメージセンサLSI1内のTG13における有効信

号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間の全ての期間が非アクティブのとき、すなわち、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間のうちのどの期間にも該当しない期間のときのみ、イメージセンサLSI1から有効な画素データであることを示す有効信号を出力し、信号処理LSI2に処理動作を行わせることができる。

【0127】

図10(b)は有効信号の第2の生成条件を示すものであり、イメージセンサLSI1内のTG13における有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の5つの期間を示す信号が、ノア(NOR)ゲート82に入力されており、出力として有効信号VALIDを出力する構成となっている。

【0128】

前記最終ラインカウント値とは、OB領域を含めたセンサセルアレイ3が例えば712×500のセルで構成されている場合には、水平ラインの最終ラインカウント値は500である。従って、前記の最終ラインカウント値を示す期間とは、ラインカウント値が500番目の水平ラインの期間を意味している。

【0129】

図10(b)の構成では、イメージセンサLSI1内のTG13における有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の全ての期間が非アクティブのとき、すなわち、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間のうちのどの期間にも該当しない期間のときのみ、イメージセンサLSI1から有効な画素データであることを示す有効信号を出力し、信号処理LSI2に処理動作を行わせることができる。

【0130】

図10(c)は有効信号の第3の生成条件を示すものであり、イメージセンサLSI1内のTG13における有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示

す期間の5つの期間を示す信号が、ノア（NOR）ゲート83に入力されており、このノア出力信号と、イメージセンサLSI1内の蓄積信号用、オフセット信号用ラインメモリ9, 10によるラインメモリ読み出し期間を示す信号とが、アンド（AND）ゲート84に入力されており、出力として有効信号VALIDを出力する構成となっている。

【0131】

前記ラインメモリ読み出し期間とは、OB領域を含めたセンサセルアレイ3が例えば712×500のセルで構成されている場合には、例えば水平方向に並んだ712個のピクセル（画素）に対応する第1の番号目のピクセルのカウント値の1つ前から第712番目のピクセルのカウント値の1つ後までの範囲である714ピクセルカウント期間を意味している。

【0132】

図10(c)の構成では、イメージセンサLSI1内のTG13における有効信号を出力する手段は、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間の全ての期間が非アクティブでかつ前記ラインメモリ読み出し期間がアクティブのとき、すなわち、アイドルフレーム、蓄積フレーム、間引きフレーム、Hブランキング期間、最終ラインカウント値を示す期間のうちのどの期間にも該当しない期間でかつラインメモリ読み出し期間に該当する期間のときのみ、イメージセンサLSI1から有効な画素データであることを示す有効信号を出力し、信号処理LSI2に処理動作を行わせることができる。

【0133】

図11は、図10(c)におけるラインメモリ読み出し期間を説明するための図であり、上記のピクセルカウント値PXLCTと、水平同期信号HSYNCとのタイミング関係に関連して、ラインメモリ読み出し期間を示す信号LMRPのタイミング関係を示している。ピクセルカウント値PXLCTは、小さなブロック1つが1ピクセルカウントに相当しこの小ブロックを右方向にカウントするごとに1カウント増加していく。信号LMRPのハイレベルの期間がラインメモリ読み出し期間に相当し、画像データが出力される期間の前後±1のピクセルカウ

ト値の範囲となっている。

【0134】

さらに、本発明の画像処理装置において、前記Hブランキング期間は、前記イメージセンサLSI1に電荷を蓄積する蓄積状態が1フレーム以上続く場合には、その蓄積状態内のHブランキング期間におけるHブランキング動作を非アクティブとすることが好ましい。

【0135】

これは、通常の（1フレーム以下の）蓄積状態で与えられるバイアス条件はノイズの発生しにくい電圧値に設定されているが、蓄積状態が1フレーム以上続く場合に、1フレーム以上のシャッタースピードに対応していないために、定期的なHブランキング期間が入ると、蓄積状態でのバイアス条件が解除され、ノイズの発生し易いバイアス状態を生ずる。これを防止するため、蓄積状態が1フレーム以上続いた場合、蓄積期間における定期的なHブランキング期間を非アクティブ、すなわち、定期的なHブランキング動作を停止させることで、蓄積状態のノイズの発生しにくいバイアス条件を継続可能とする。

【0136】

図12に、シャッタースピードの期間が1フレームを越えた場合の垂直同期信号とシャッタースピードとのタイミング関係を示している。

【0137】

例えば、図12に示すように、フォーカルプレーンシャッタのクリア用シフトデータAV（図8並びに図6参照）を印加後、フレーム単位或いはライン+フレーム後に読み出し動作を行う構成で、前記クリア用シフトデータAVから読み出しライン用シフトデータBVまでの時間（＝シャッタースピードの期間）はセンサセルのバイアス条件が変化しない構成とする。図12では、シャッタースピードが1フレームを越える期間、すなわちライン+フレームの期間の例を示している。

【0138】

このような構成によれば、1フレーム以上の蓄積を行う場合でも、蓄積状態が続いている期間内にHブランキング動作期間が入らず、蓄積状態のバイアス条件（すなわち、ノイズの発生しにくいバイアス状態）を継続的に与えることができ

、蓄積状態のバイアスを解除することによる暗電流及びノイズの増加を防止できる。

【0139】

また、本発明の画像処理装置において、イメージセンサLSI1に設けられる前述の有効信号を出力する手段は、前記イメージセンサLSI1が常に正常な画像データを出力している条件設定状態のときに、設定条件と異なる画像データとなった場合に有効信号を非アクティブとし、設定条件と同じ画像データの場合に有効信号をアクティブとするものである、と表現することができる。

【0140】

なお、前記の設定条件と異なる画像データとは、フレームレート、シャッタースピード、スキャンの向きなどの状態設定を変更した場合の画像データであることを意味している。スキャンの向きとは、蓄積された1画面分の画像データにおける画面上側から下側へスキャンする正方向スキャン、及びこれと反対の、蓄積された1画面分の画像データにおける画面下側から上側へスキャンする逆方向スキャンのことである。

【0141】

このような構成によれば、設定条件と異なる画像データとなった場合には、不安定な画像状態に至った場合であるから、画像の明るさ測定などに用いることはできないので、イメージセンサLSI1からの有効信号を非アクティブとして無効な画像データであることを信号処理LSI2に知らせることができる。即ち、フレームレート、シャッタースピード、スキャンの向きなどの状態設定を変更した場合の画像データは、明らかに不安定な画像状態のデータであるから、画像の明るさ測定などに用いることはできない旨、信号処理LSI2に知らせることができる。

【0142】

ところで、従来の閾値電圧変調方式のMOS型固体撮像素子では、フレームレートを下げて動作させる場合、シャッタースピード（蓄積期間）及びHブランキング期間が長くなり、特にHブランキング期間が長くなることによりノイズ成分が増加する。従って、ノイズ軽減のためにはあまり低いフレームレート（ここでは

15fpsより低いフレームレートと言う)での動作が難しかった。

【0143】

その対策として、本発明の画像処理装置では、低いフレームレートで動作させる場合、1フレームの期間及びHブランキング期間は一定であるが、イメージセンサLSI1からの有効信号VALIDをフレーム単位で間欠的に非アクティブとする手法で、すなわち、フレーム単位で間引くフレーム数(単位時間当たりフレーム数)を増加させることで、実質的にフレームレートを低下させる。つまり、フレームレートの低下に応じて、有効信号をフレーム単位で非アクティブとする割合を増加させることにより、信号処理LSI2において信号処理するフレーム数を減ずるように構成する。

【0144】

まず、イメージセンサLSI1内のレジスタ14にフレームレート設定レジスタを設け、(1)シャッタスピードによりフレームレートが可変になるモード、(2)15fps固定モード、(3)7.5fps固定モード、(4)5fps固定モードを設定可能な構成とする。このレジスタ設定は、前述したようにイメージセンサLSI1のレジスタ14と信号処理LSI2のレジスタ23とは、常に同じデータを保持するようになっているので、レジスタ23に前記(1)~(4)の4つのモードのいずれかを設定するとそのデータは3線シリアルインターフェース15を介して、レジスタ14に書き込まれる。イメージセンサLSI1では、レジスタ14に設定されたモードのデータに基づいて、TG13が有効信号VALIDの出力タイミング、すなわち、非アクティブ期間の設定を変更することが可能となる。

【0145】

図13に、フレームレートを変更した場合の垂直同期信号VSYNCと有効信号VALIDとのタイミング関係を示している。図13(a)は15fps固定モードの場合、図13(b)は7.5fps固定モードの場合、図13(c)は5fps固定モードの場合、を示している。垂直同期信号VSYNCの時間、即ち、1フレームの期間は常に一定である。

【0146】

15fps固定モードの場合は、有効信号VALIDをアクティブにし続け、

後段の信号処理 L S I 2 で連続で処理を行う。

【0147】

7. 5 f p s 固定モードの場合は、有効信号 V A L I D を 1 フレームおきにアクティブとし、後段の信号処理 L S I 2 で 1 フレームおきの間欠動作を行うことで、1 5 f p s 固定モードの場合の半分のフレームレートを実現している。

【0148】

5 f p s 固定モードの場合は、有効信号 V A L I D を 1 フレーム分アクティブとし、2 フレーム分非アクティブとし、後段の信号処理 L S I 2 で 2 フレームおきに間欠動作を行うことで、1 5 f p s 固定モードの場合の 1 / 3 のフレームレートを実現している。

【0149】

7. 5 f p s 固定モードの場合と、5 f p s 固定モードの場合において、有効信号 V A L I D が間欠的に非アクティブとなるフレーム期間を、間引きフレームと呼んでいる。7. 5 f p s 固定モードの場合は、2 フレームに 1 つが間引きフレームであり、5 f p s 固定モードの場合は、3 フレームに 2 つが間引きフレームとなる。

【0150】

このような構成によれば、低いフレームレートで動作させる場合、信号処理 L S I 2 へ送出するフレームを間引いてフレーム数を減じることにより、H ブランキング期間を長くすることなく低フレームレートを実現している。明るい環境下でも、ノイズの少ない低フレームレート（具体的には 1 5 f p s より低いフレームレート）の動作が可能となり、画質を改善することが可能となる。さらに、フレームの間引きによりイメージセンサ L S I 1 の内部動作並びに後段の信号処理 L S I 2 の動作を抑えることが可能となり、消費電流の低減が可能となる。

【0151】

以上説明した本発明の実施の形態によれば、閾値電圧変調方式の M O S 型固体撮像素子と、前記固体撮像素子の出力を信号処理する信号処理部を含む画像処理装置において、前記固体撮像素子は、その動作状態に応じて、前記固体撮像素子の出力が有効か否かを示す有効信号を前記信号処理部へ出力することにより、固

撮像素子が有効な画素データを送出するときは、有効信号をアクティブとして信号処理部に現在の画素データが有効であることを知らせ、撮像素子が露光状態（蓄積状態）にあるときは有効信号を非アクティブとして信号処理部に現在の画素データが無効であることを知らせるようにしたので、暗い環境下でシャッタースピードの設定範囲を1フレーム以上に長く設定しても、露光状態（蓄積状態）では信号処理部で無用な信号処理を行わなくても済む。

【0152】

さらに、低フレームレートで動作させる場合、明るい環境下でも、ノイズが少なく画質の改善された動作が可能となり、かつ撮像素子内部動作並びに後段の信号処理部の動作を抑えて電力消費を低減することができる。

【0153】

尚、上記実施の形態は、撮像素子として閾値電圧変調方式のMOS型イメージセンサを例に説明したが、閾値電圧変調方式のMOS型イメージセンサに限定されるものではなく、他の方式のイメージセンサについても適応可能であることは言うまでも無い。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係わる画像処理装置の構成を示すブロック図である。

【図2】 本発明の実施の形態に係わるイメージセンサLSIの構成を示す回路図である。

【図3】 本発明の実施の形態に係わるドレイン・ゲート電圧供給回路の構成を示す回路図である。

【図4】 本発明の実施の形態に係わるソース電圧供給回路の構成を示す回路図である。

【図5】 本発明の実施の形態に係わるセンサセルへ印加するバイアス電圧を説明するための図である。

【図6】 本発明の実施の形態に係わる、センサの読み出しラインとクリアラインを説明するための図である。

【図7】 本発明の実施の形態に係わる垂直同期信号と水平同期信号のタイミング

を示すタイミングチャートである。

【図 8】本発明の実施の形態に係わるイメージセンサ L S I のタイミングジェネレータの構成を示す回路ブロック図である。

【図 9】本発明の実施の形態に係わる H ブランキング期間における各状態における各信号の状態を説明するためのタイミングチャートである。

【図 10】本発明の実施の形態に係わるイメージセンサ L S I から出力される有効信号生成の条件を示す図。

【図 11】図 10 におけるラインメモリ読み出し期間を説明するための図。

【図 12】シャッタスピードの期間が 1 フレームを越えた場合の垂直同期信号とシャッタスピード（露光期間）とのタイミング関係を示す図。

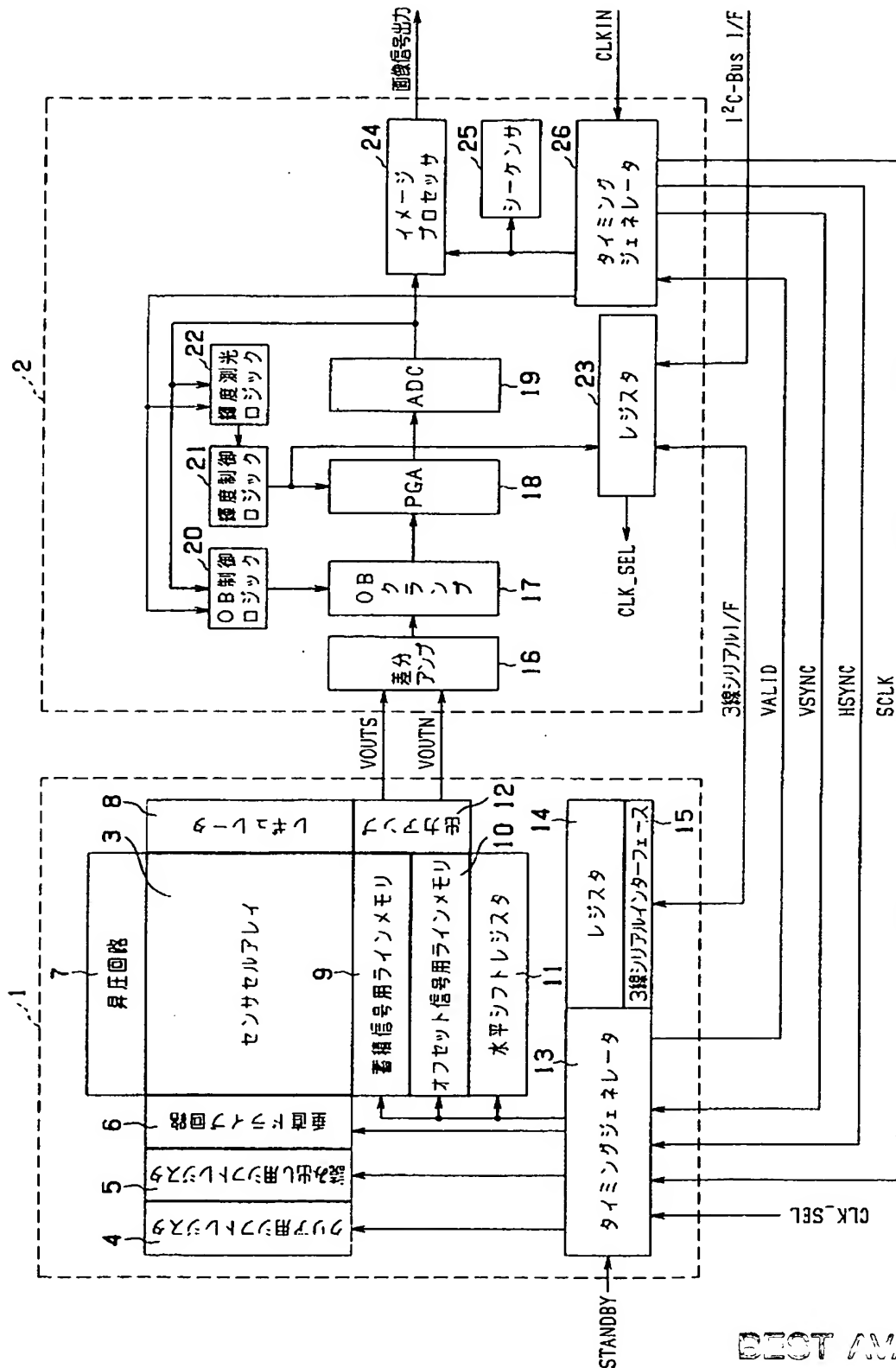
【図 13】フレームレートを変更した場合の垂直同期信号と有効信号とのタイミング関係を示す図。

【符号の説明】

1…イメージセンサ L S I、2…信号処理 L S I、3…センサセルアレイ、6…垂直ドライブ回路、8…レギュレータ、9…蓄積信号用ラインメモリ、10…オフセット信号用ラインメモリ、13, 26…タイミングジェネレータ、14, 23…レジスタ、15…3 線シリアルインターフェース

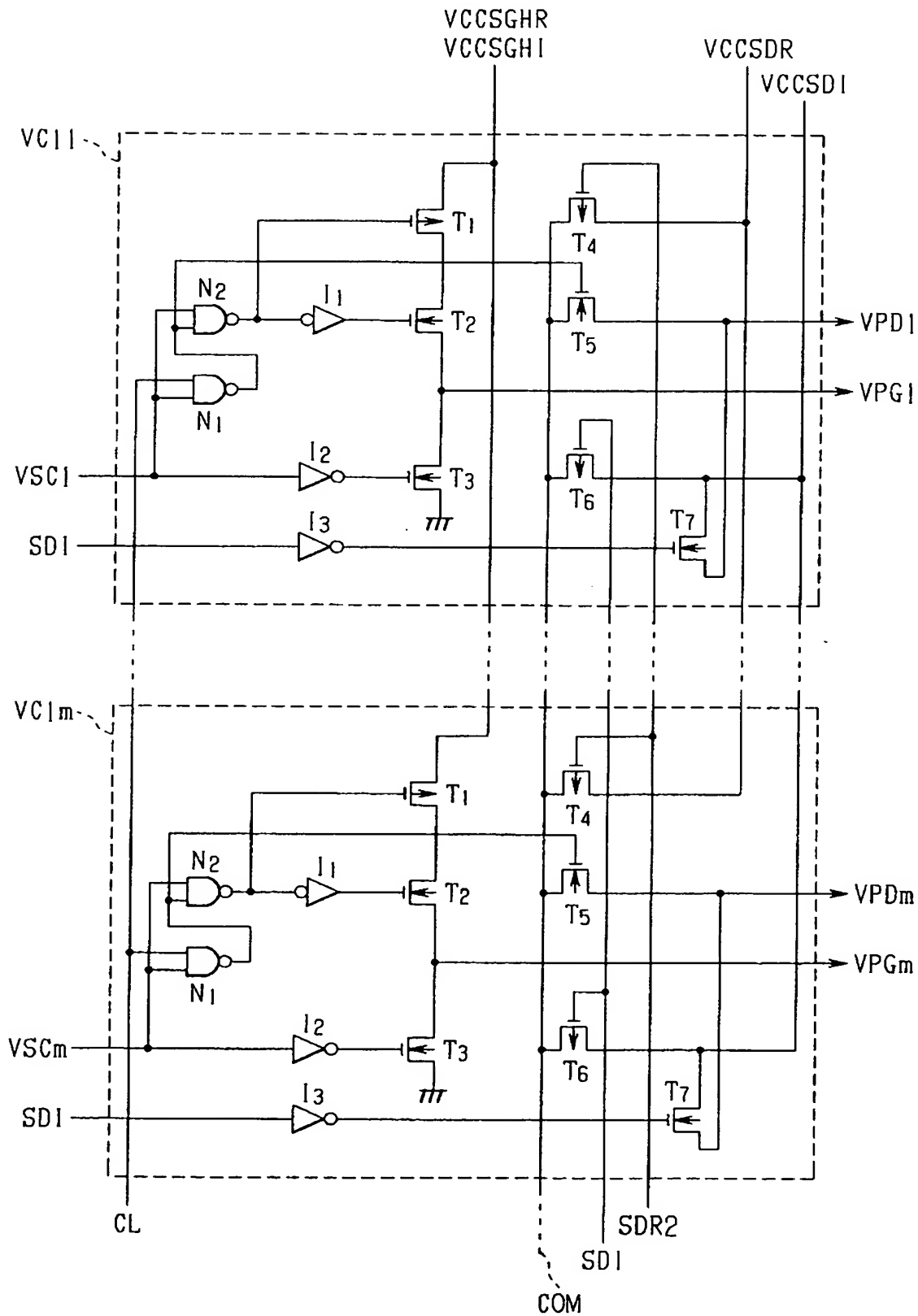
【書類名】 図面

【図1】



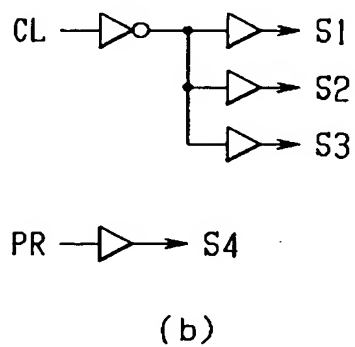
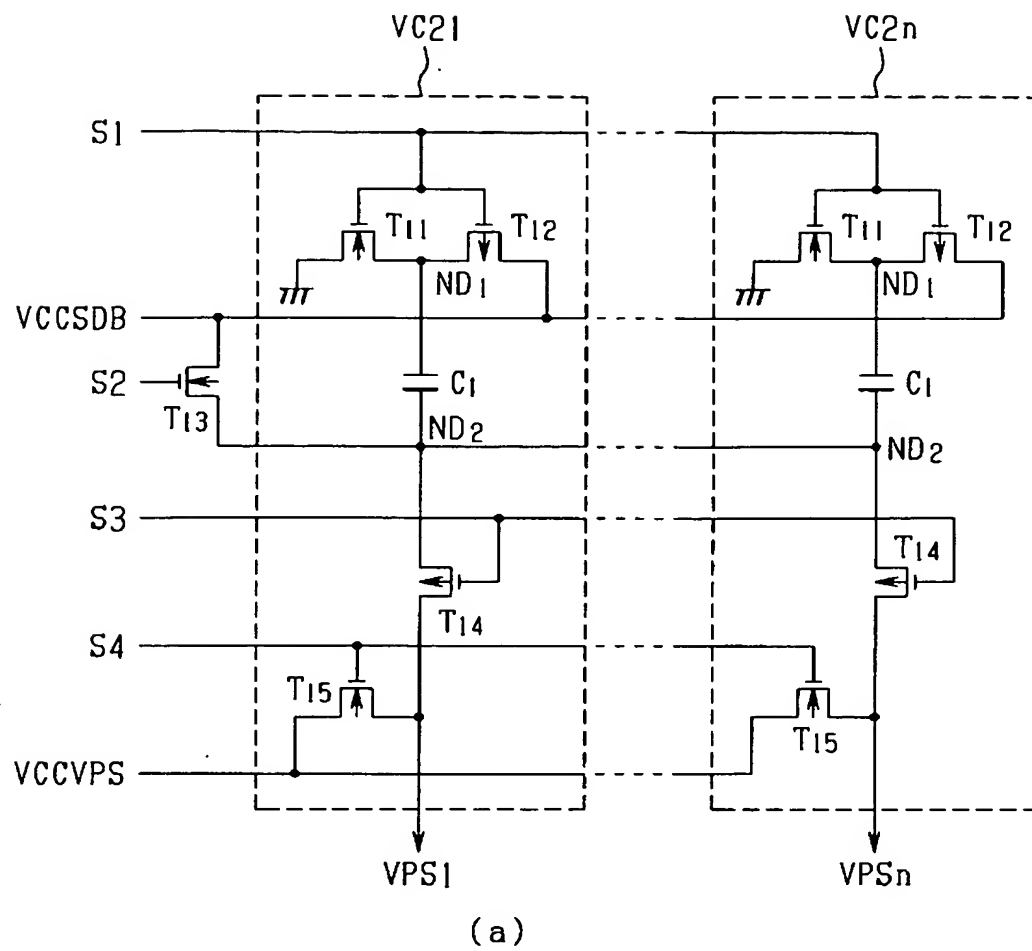
BEST AVAILABLE COPY

【図 3】



BEST AVAILABLE COPY

【図 4】



REST AVAILABLE COPY

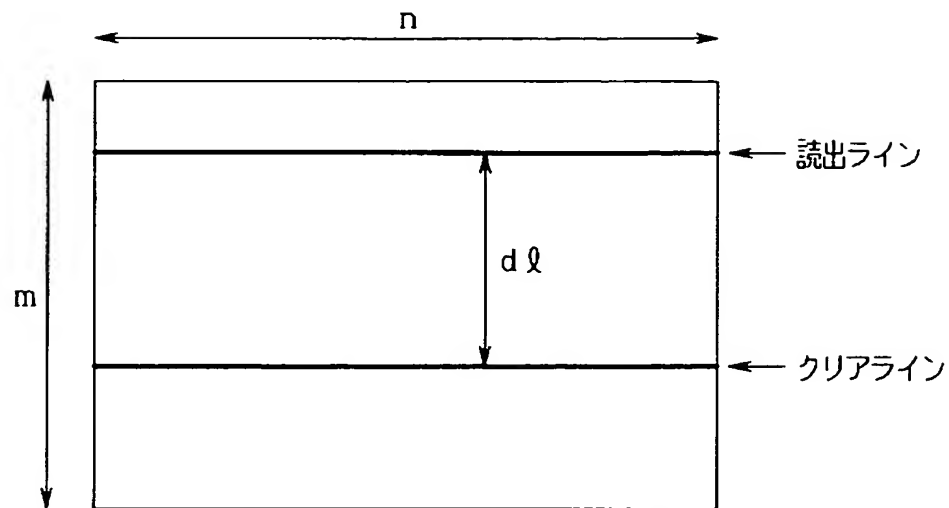
【図 5】

センサーバイアス状態

	状態	蓄積	RESS	LOADS	PR	CL	RESN	LOADN
GATE	選択	VCCSGHI	Lo	VCCSGHR	VCCSGHR	VCCSGHR+ VCCSDBX 2	Lo	VCCSGHR
	非選択		Lo	Lo	Lo	Lo	Lo	Lo
SOURCE	選択	ターンオン (VCCSDI)	VMPR	VCCSGHR-VthS	VCCVPS	VCCSDBX 2	VMPR	VCCSGHR-VthhN
	非選択	VCCSDI	HiZ	VCCSDR	ターンオン (VCCVPS)	ターンオン (VCCSDBX 2)	HiZ	VCCSDR
DRAIN	選択		HiZ	VCCSDR	VCCVPS	VCCSDR	HiZ	VCCSDR
	非選択		HiZ	VCCSDR	VCCVPS	VCCSDR	HiZ	VCCSDR

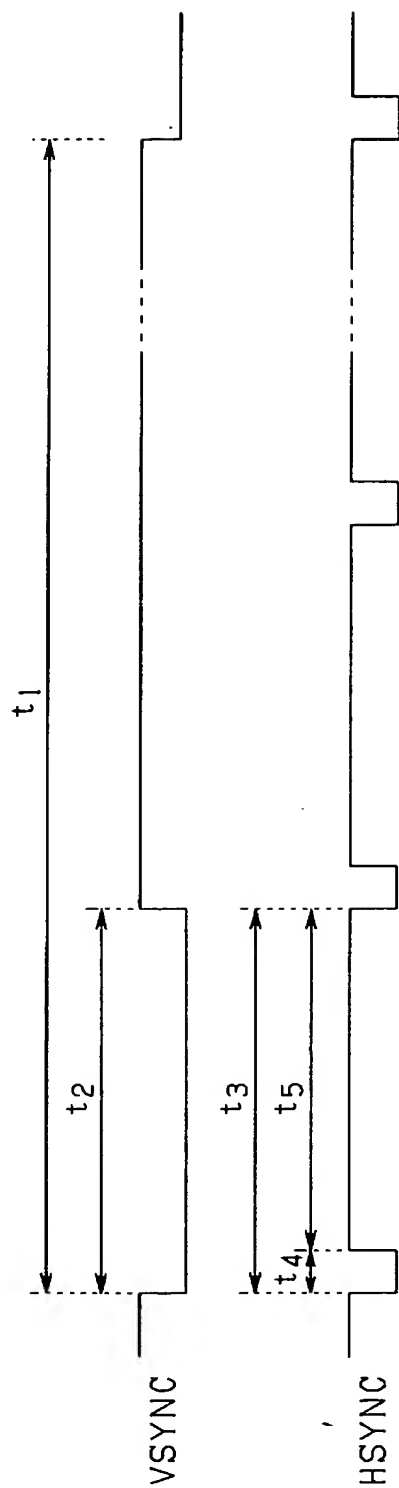
BEST AVAILABLE COPY

【図 6】



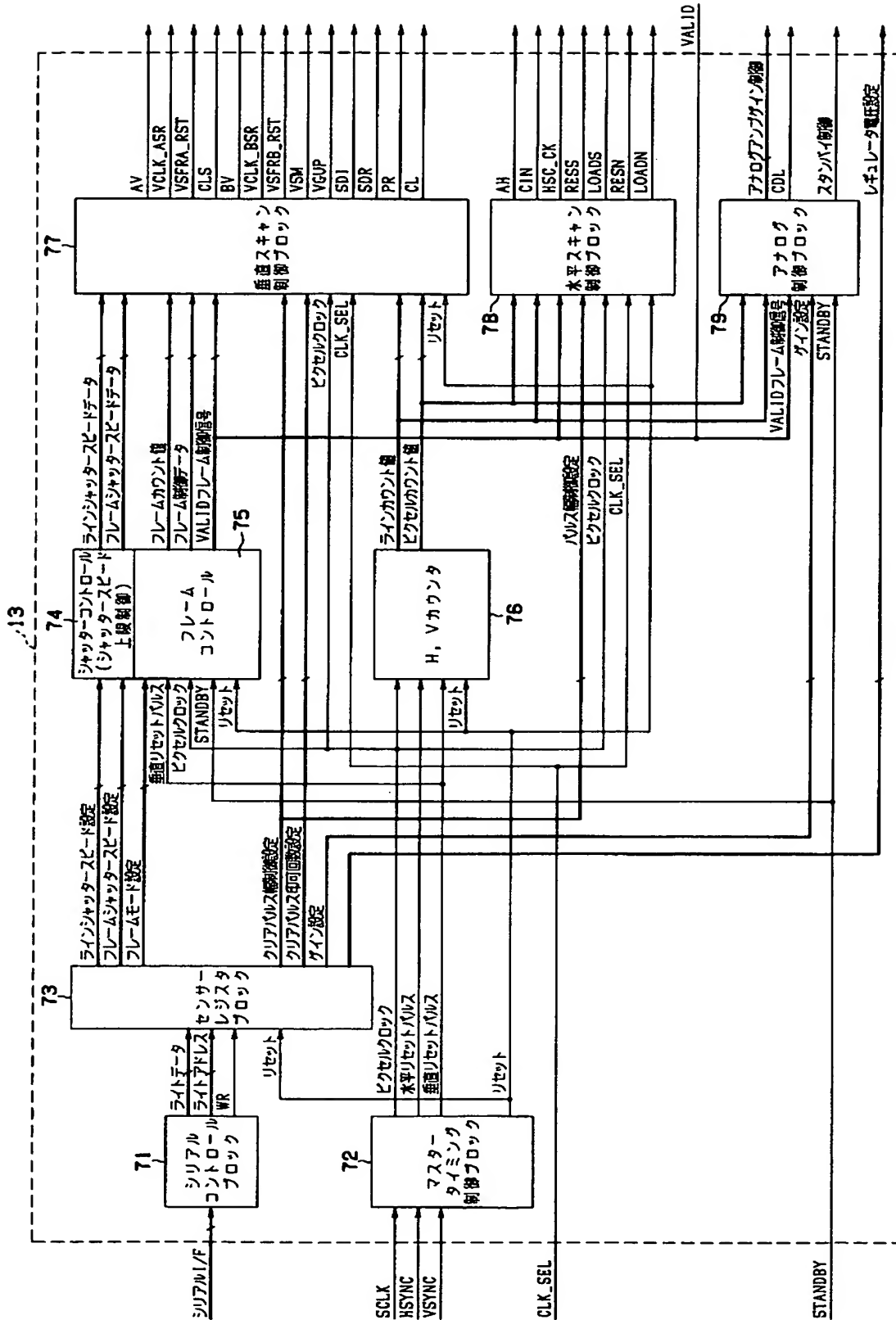
BEST AVAILABLE COPY

【図 7】



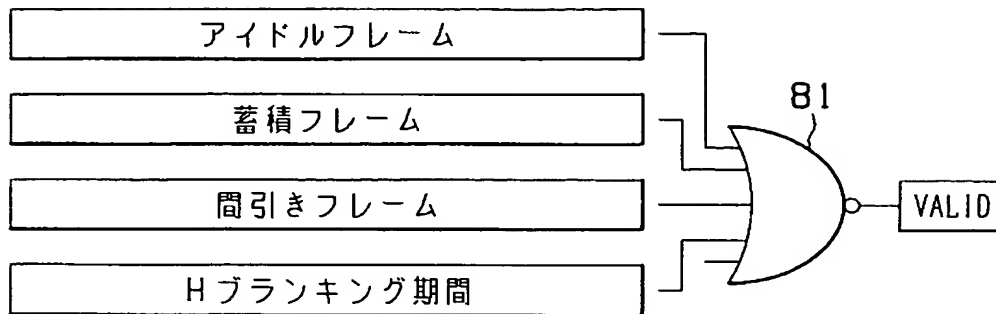
BEST AVAILABLE COPY

【図8】

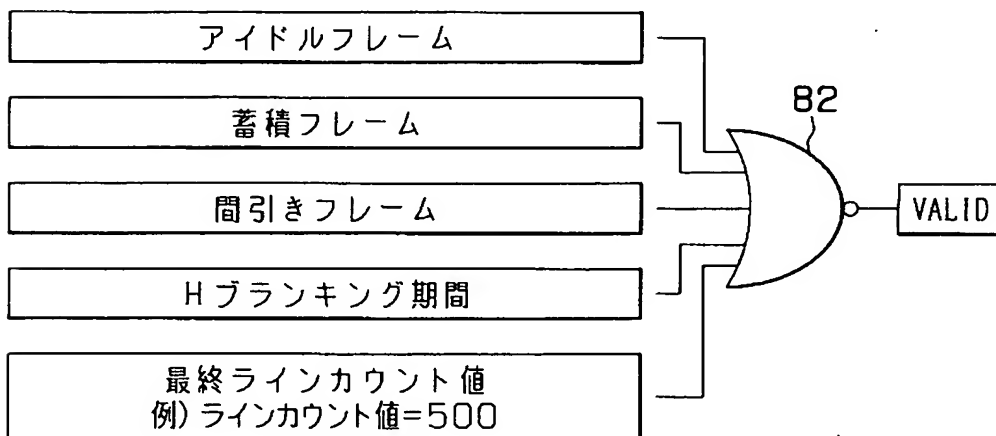


BEST AVAILABLE COPY

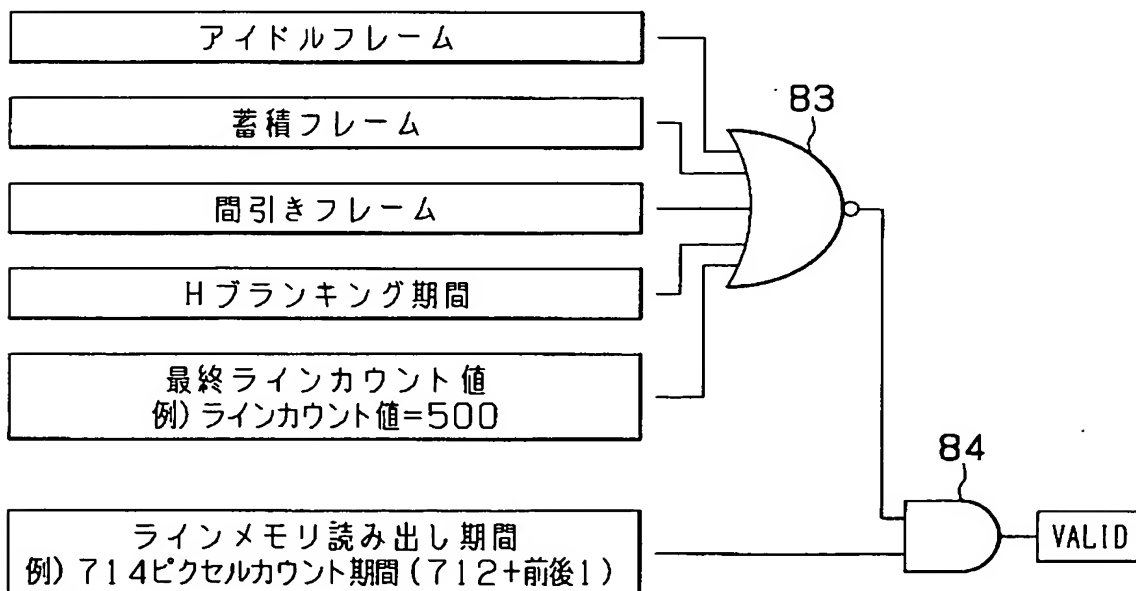
【図 10】



(a)



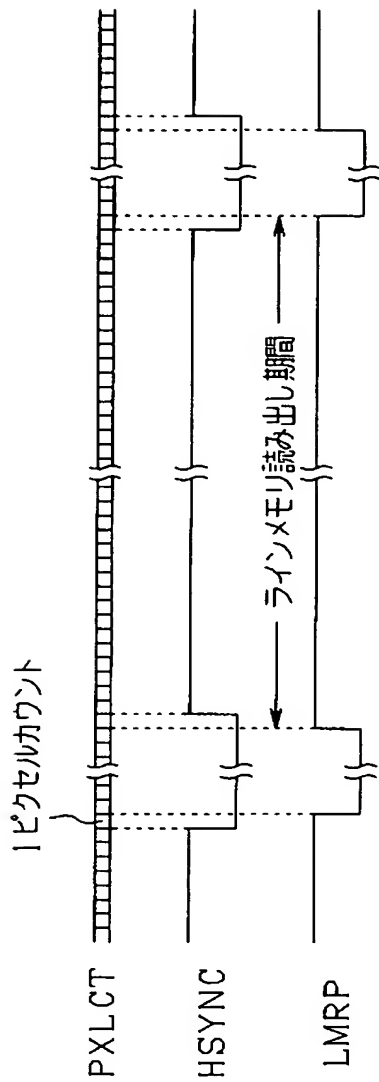
(b)



(c)

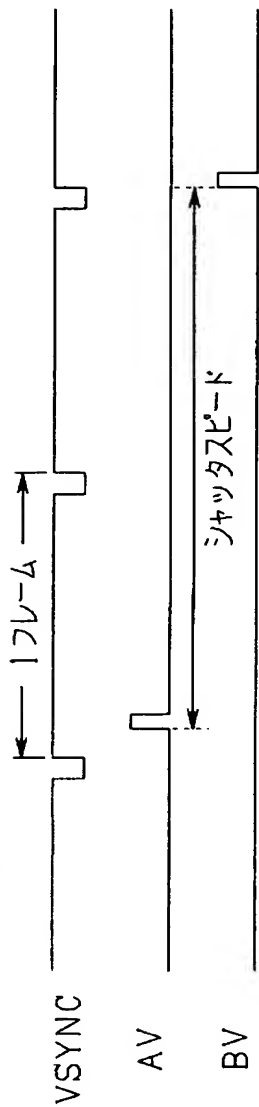
BEST AVAILABLE COPY

【図 11】

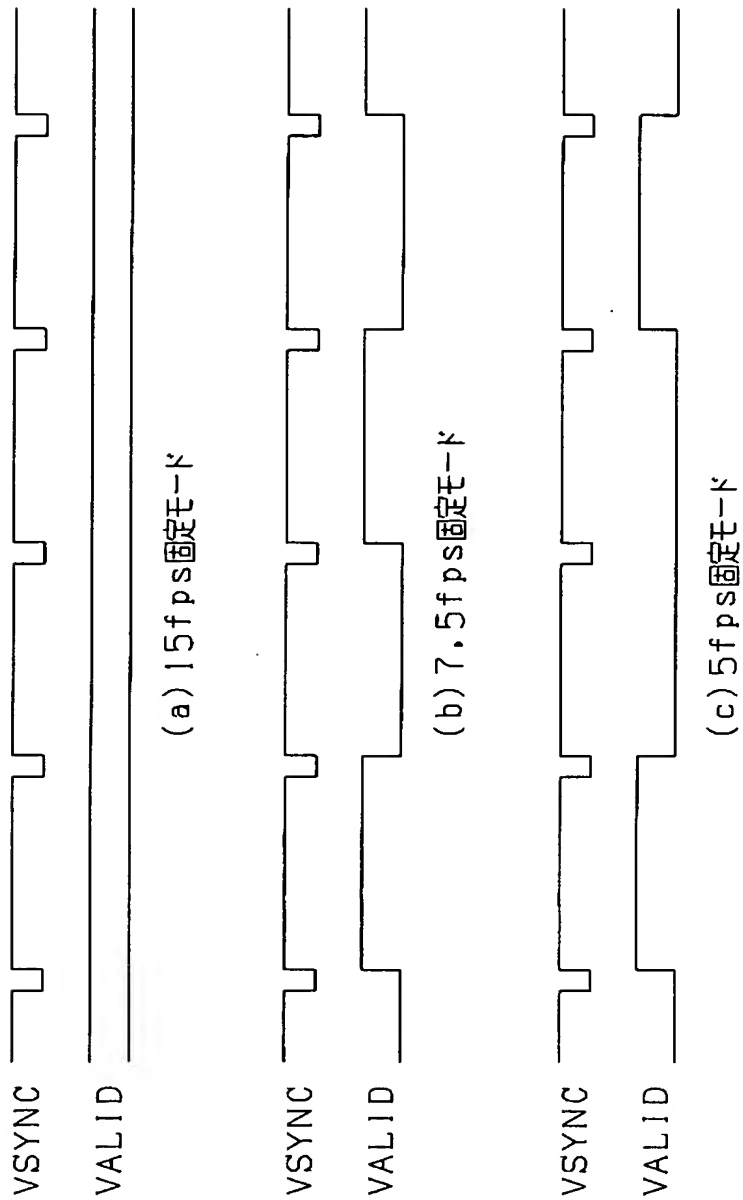


BEST AVAILABLE COPY

【図 12】



【図 1 3】



BEST AVAILABLE COPY

【書類名】 要約書**【要約】**

【課題】 暗い環境及び明るさ環境での撮影においても、S/N比が良く、画質を改善することができる画像処理装置及びその処理方法を提供すること。

【解決手段】 固体撮像素子と、前記固体撮像素子の出力を信号処理し画像信号として出力する信号処理部と、前記固体撮像素子に設けられ、その動作状態に応じて、前記固体撮像素子の出力が有効か否かを示す有効信号を前記信号処理部へ出力する手段と、を具備したものである。固体撮像素子から有効な画素データを送出するときは、有効信号（VALID）をアクティブとして信号処理部に有効であることを知らせ、シャッタ開に対応する露光状態（蓄積状態）では有効信号（VALID）を非アクティブとして信号処理部に現在の画素データが無効であることを知らせることができる。従って、有効信号を用いて、前記信号処理部に信号処理動作を行わせるか否かを制御することもできる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 3 6 0 2
受付番号	5 0 3 0 0 0 9 7 0 0 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月22日
-------	-------------

次頁無